

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号
特表2001-506781
(P2001-506781A)

(43)公表日 平成13年5月22日(2001.5.22)

(51)Int.Cl. ⁷	識別記号	F I	テ-コ-ト* (参考)
G 0 6 T 1/20		G 0 6 F 15/66	K
G 0 6 F 15/16	6 1 0	15/16	6 1 0 A

審査請求 未請求 予備審査請求 有 (全 55 頁)

(21)出願番号 特願平10-522999
(86) (22)出願日 平成9年12月18日(1997.12.18)
(85)翻訳文提出日 平成11年6月15日(1999.6.15)
(86)国際出願番号 P C T / U S 9 7 / 2 3 8 4 9
(87)国際公開番号 W O 9 8 / 2 8 6 9 5
(87)国際公開日 平成10年7月2日(1998.7.2)
(31)優先権主張番号 6 0 / 0 3 3 , 4 7 6
(32)優先日 平成8年12月19日(1996.12.19)
(33)優先権主張国 米国 (U S)
(31)優先権主張番号 6 0 / 0 5 0 , 3 9 6
(32)優先日 平成9年6月20日(1997.6.20)
(33)優先権主張国 米国 (U S)
(81)指定国 D E , G B , J P , K R

(71)出願人 ヒュンダイ エレクトロニクス アメリカ
アメリカ合衆国 カリフォルニア州
95134 サン ホセ ノース ファースト
ストリート 3101
(72)発明者 ジェニングス アール ダブリュー ザ
サード
アメリカ合衆国 カリフォルニア州
95128 サン ホセ ウォルナット グロ
ーヴ アベニュー 2318
(74)代理人 弁理士 中村 稔 (外7名)

(54)【発明の名称】 ビデオフレームレンダリングエンジン

(57)【要約】

ディジタル信号及び画像処理と同じくビデオ処理及び動画で用いるためにフレームの全部又は一部を生成するのに必要な、メモリー(2)、ロジック、演算及び制御回路を含む回路(1)が提供されている。集積回路(1)上には1つ又はそれ以上、そのような回路が設けられている。ビデオ又は画像フレーム生成システムは、動画用のフレーム作成において非常に優れた性能、特に、医療用画像の作成、仮想現実、ビデオゲーム及びシミュレーション環境下でのリアルタイムのシーン生成のような、3次元及び他の高性能アプリケーションを提供するために、1つ又はそれ以上のこれらの集積回路、及び随意的に追加のメモリー回路から構成されている。この回路は、高度に最適化された計算性能を備えたシングルチップのJ a v aエンジンとして作動すると同様に、M P E G 4により提案されているような高速オブジェクト指向グラフィクス関係ストリームを処理するのに用いられる。

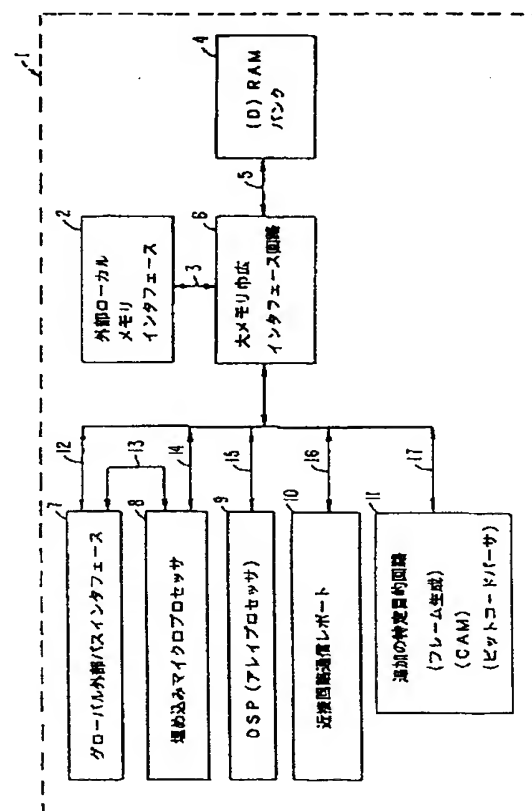


FIG. 1.

【特許請求の範囲】

1. 作動中にはメモリーと共に作動する集積回路において、前記メモリーに連結されていて、前記メモリーへのアクセスを制御するように構成されているインタフェース回路と、前記インタフェース回路にそこからの情報を受け取るため連結されていて、前記インタフェース回路を制御するように構成されている埋め込みプロセッサと、前記インタフェース回路にそこからの情報を受け取るため連結されている、算術計算を実行するためのアレイプロセッサとから成ることを特徴とする集積回路。
2. 前記アレイプロセッサが、複数の乗算／累算器と、前記複数の乗算／累算器の内少なくとも2つに、共有されたオペランドを供給するために連結されている共有オペランド回路とから成ることを特徴とする、上記請求項1に記載の集積回路。
3. 前記インタフェース回路が、幅広いアクセスを提供するためのワイヤ束を含んでいることを特徴とする、上記請求項1に記載の集積回路。
4. 前記ワイヤ束が、少なくとも256本のワイヤから成ることを特徴とする、上記請求項3に記載の集積回路。

【発明の詳細な説明】

ビデオフレームレンダリングエンジン

関連出願の説明

本特許出願は、1996年12月19日出願の米国仮特許出願番号第60/033,476号及び1997年6月20日出願の同60/050,396号に依り優先権を主張する。これらの仮特許出願の内容はそのままここに参考資料として挙げ、あらゆる目的に供するものとする。

発明の背景

本発明は回路に関する。特定すれば、本発明はビデオフレーム生成タスク、及びディジタル信号処理(DSP)タスクに適した高性能集積回路に関する。

グラフィック産業における中心的課題はフレームを生成することである。各フレームは画素の四角形配列であり、しばしば100万以上の画素を含んでいる。動画、特に3次元動画では、通常、一つの画素を生成するのに数百万回ないし数十億回の計算を必要とする。同様に、(医療画像作成のような)グラフィックアプリケーションでは、一つ又はそれ以上のフレームの生成を必要とし、更に、しばしば連続した動画である必要がある。

この必要性を、1995年に映画「Toy Story」を作ったピクサーの成果を例に考えてみよう。この映画には110,000個のフレームがある。ピクサーは87個のデュアルプロセッサ100MHz Sparc20'sと30個のカッドプロセッサ100MHz Sparc20'sを使った。これは合計で294個のCPUとなる。CPU当たり平均96メガバイトのRAMがあり、各処理ノードはローカルの3-5ギガバイトのローカルディスクドライブを有していた。ディスクファームとそのサーバーは本特許とは直接関係しないが、極めて大きかった。一つの平均的フレームが1ないし3時間のSparcCPUプロセッサ時間を要し、映画全体を計算するのに46日を要した。参考資料(1)参照。

「Toy Story」は写真のように写實的ではなかったが、一つのブレークスルーであった。それは、完全に3次元コンピューター動画技術で製作された最初の全長長編映画であった。このようなフィルムに写真的写実性を備えさせる

には、少なくとも10倍も計算を複雑化させねばならない。30時間での写真的に写実的なフレーム計算を想定しよう。

フレーム生成には多くの異なったプログラムが使用されている。参考資料(19) - (23) 参照。これらのプログラムは複雑であり、且つ高性能である必要がある。これらはC、C++、FORTRANのような高レベルの手順、オブジェクト指向コンピュータプログラミング言語で作られている。これらのプログラムの唯一最も性能的にクリティカルな部分は、ベースにあるレンダリングエンジンハードウェアを目指してアセンブリ/マシン言語で直接書かれていることであろうが、つまり、アセンブリ/マシン言語でのプログラミングは手の出せないように高額な出費を要し、難しいからクリティカルなのである。これらのプログラムでは浮動小数点方式の計算が一般的であるが、それはその広いダイナミックレンジと、プログラミングの容易性の故である。

性能改善に対する必要性は大きい。最良のビデオ編集には毎秒1フレームが必要とされる。リアルタイム仮想現実には毎秒30フレームまで作る必要がある。これら2つの工業的アプリケーションを満足させるには、ビデオ編集に対しては $108,000 \times (= 30 \text{ 時間} / \text{フレーム} \times 3600 \text{ 秒} / \text{時間})$ 、そして仮想現実に対しては $3,240,000 \times (= 30 * \text{ビデオ編集})$ のスピードアップをして性能改善する必要がある。

高性能デジタル信号処理にも同様な必要性がある。代表的要件には画像処理が含まれるが、これはしばしば、人体及び機器を含む物の内部の画像を構築するために、時間を通して2次元又は3次元のセンサーアレイから集められてくる。

これらの多次元信号処理アプリケーションは、超音波又は磁気画像センサーバンクから画像を構築する。これはフレーム生成と同様な性能要件を有している。これらのアプリケーションは、3次元又は4次元環境の再構築/シミュレーションにおける解像特性という目標を持っている。(注:ここで言う4次元とは、時間を通して観察/シミュレーションされた3次元の領域を意味する。) 解像特性は、入力センサー解像能、所与の時間内に計算できるFFT分析の深さ、丸め誤

差の制御、データフレームの処理を通してのこれら丸め誤差の累算の関数である

。

最小時間で精巧な解像特性を実現するには、生成された画素又は出力データ点当たり数百万、しばしば数十億回の計算処理が必要となる。ダイナミックレンジ制御とフレキシブルな誤差丸め制御を提供するために浮動小数点計算方式を利用するのは極普通である。ソフトウェアが絶え間なく進化することと、多くの異なるアプリケーションの利用のために、アルゴリズム面でのフレキシビリティは優先事項である。これら異なるアプリケーションはしばしば非常に異なるソフトウェアを必要とする。

アプリケーションソフトウェア開発要件は極めて首尾一貫している。特に、大抵のアプリケーションは、概ねコンピュータプログラミング手順言語、C、C++、FORTRANで書かれた（参考資料（11）—（18）参照）数多くのソフトウェアを必要とし、マシンレベルプログラミングの使用は、プログラムの最も性能的にクリティカルな部分に制限される。

目標アルゴリズムは以下の共通の特徴を表示するが、それは即ち、処理要素当たりしばしば100MB領域までになる大量のメモリーを必要とすること、出力値（画素、データポイント等）当たり非常に多数の算術計算を必要とすること、全てでなければ大抵の入力値（画素、データポイント等）に基づいて非常に多数の計算を必要とすること、必要な通信オーバーヘッドは計算容量に比較して比較的小さいことである。

高解像能グラフィクスをサポートするものはこの30年間に開発されてきた。参考資料（40）に見られるような1960年代1970年代の初歩的な努力の結果は、特化した最小のハードウェアでのグラフィクスコンピューターシステムを作り出した。その当時には、VLSI（超大規模集積）集積回路（IC）に対する考えは殆ど或いは全く無かった。

半導体装置によるグラフィクス産業のサポートは以下の事柄に焦点が当てられている。

A. 努力の相当部分を使ったスクリーン表示装置のサポートによる、入出力装置のサポート。この結果として、スクリーンを制御するための専用の集積回路の開発が行われた。参考資料（2）参照。

- B. 高速マイクロプロセッサ及びデジタル信号プロセッサの開発。
- C. 高速且つ高密度メモリー装置、特にDRAM、VRAM等の開発。
- D. リアルタイム画像処理及びフレーム生成アプリケーション向け特定目的要素部品の開発。

これらの努力は以下のような基本的限界を持っている。

A. ディスプレイ装置コントローラーは、各フレームが固定された実行構造マシンにより特定時間内に生成されるというように制限されている。このように、フレームアルゴリズムが必然的に制限される。

B. 高速マイクロプロセッサ及びDSPは偉大な固有のアルゴリズムのフレキシビリティを保有し、それ故、「Toy Story」を作ったSUNネットワークのような高性能専用フレームレンダリング構成で使用される。参考資料(1)参照。インテルのペンティアムプロセッサが出現した結果、RISC（縮小命令セットコンピュータ）社会の全てのトリックが統合されることになった。参考資料(30)の「付録D：RISCへの代替：インテル80x86」及び参考資料(31)の「付録：スーパースカラー386」はこれについての良い参考資料を提供している。参考資料(30)の「付録C：RISCアーキテクチャのサーベイ」は優れた概括を提供している。

しかし、商業ベースのマイクロプロセッサ及びDSPシステムはその大きなオーバーヘッド回路により厳しく制限されている。現代のスーパースカラーコンピュータにおいては、このオーバーヘッド回路は実際演算ユニットよりも大きいかもしれない。アーキテクチャ性能／コストのトレードオフに関する議論については、参考資料(30)(31)参照。

C. 高性能メモリーは必要ではあるが、メモリーは単に記憶するものでありデータを生成するものではないので、高速フレーム生成がこれだけで保証されるわけではない。

D. しばしばDRAMである高性能メモリーと集積回路上で堅く連結されたデータ処理要素を統合する特定目的コンポーネントが幾つか提案されている。しかし、これらの成果には全て制限が付いている。(32)で論議されている回路は非常に限られた精度の固定小数点演算エンジンを使用している。(32)で論議

されている回路は、浮動小数点の実行及び、単一プロセッサのローカルメモリーよりも大きなプログラムの取り扱いの際には性能上の制約を受ける。

提案されている特定目的コンポーネントは、アルゴリズムの幾つかのカテゴリーを実行するのに最適化されている。これらのコンポーネントには以下のものが含まれる。

D1. 画像圧縮解凍プロセッサ。これらの回路は重要ではあるが非常に専用化されており、多様なアルゴリズムに対して一般目的解を提供するものではない。例えば、このようなエンジンは、C、C++、FORTRANのような高レベル手順言語で効率的にプログラミングするのは非常に難しくなる傾向にある。これらをアセンブリ言語でプログラムする要件には当然、そのようなユニットは、ソフトウェア開発に大きな経費を掛けることなく、多次元画像作成並びにグラフィックフレーム生成のための一般的目的の必要性に取り組まないであろうということが含まれている。参考資料(24)(25)参照。

D2. フラクタル、Zバッファ、ゴウラウド・シェーディング等のようなグラフィクスアルゴリズムに最適化されたプロセッサ。これらの回路は、グラフィックスフレーム生成及び画像処理の両方が要求する幅広いアプローチ断面への最適化を許容しない。参考資料(26) - (29) 参照。

D3. ウェイブレット及び他のフィルター、ファーストパス基数4, 8又は16FFT等のような信号処理プリプロセッサ・アクセレータ。1次元及び2次元離散コサイン変換エンジン。これらの回路は様々の大規模フレーム生成タスクを効率的に実行するためにプログラミングするのは難しい。

D4. マルチプロセッサ画像プロセッサ。これらのプロセッサは一般目的プログラミングに適さない混合MIMD及びSIMDシステムを含んでいる。参考資料(21)及び(41) - (43) 参照。

これらのプロセッサも、クロマティックのMPACT ICのようなVLIW(非常に長い命令ワード) SIMD ICを含んでいる。このようなICは同様に、効率的コンパイラのサポートを必要とする、商業ベースのアプリケーションで使われる大量の3次元動画ソフトウェアのをプログラムするに必要な計算上のフレキシビリティを提供できない。参考資料(34)(39) 参照。

D5. マルチメディア信号プロセッサ。これらのプロセッサも、浮動小数点のサポートの欠如、大型外部メモリーへの広範な外部データメモリーインタフェースアクセス帯域幅の欠如、不十分な命令処理フレキシビリティ及びデータ処理汎用性、累算結果に関する非常に均一なデータアクセスメカニズム無しに演算用プログラミングをするには非効率且つ困難なベクトルプロセッサへの依存のような様々な制限を有している。参考資料(35) - (38) 参照。

必要なのは、ビデオフレームレンダリング及びDSPタスク用の計算に関する上記制限を排除する計算エンジンである。

発明の概要

デジタル信号及び画像処理と同様にビデオ処理及び動画に使用するためのフレームの全て又は一部を生成するのに必要な、メモリー、ロジック、演算及び制御回路を含む回路が提供されている。1つ又はそれ以上のそのような回路が、集積回路上に設けられている。医療画像作成、仮想現実、ビデオゲーム及びシミュレーション環境下でのリアルタイムシーン生成のような、動画、特に3次元及び他の高性能アプリケーションのためのフレーム生成において非常に優れた性能を提供するため、ビデオ又は画像フレーム生成システムが一つ又はそれ以上の前記集積回路、並びに随意的に追加のメモリー回路で構築されている。この回路は、高度に最適化された計算能力を備えたシングルチップのJAVAエンジンとして作動すると同様に、MPEG4で提案された高速オブジェクト指向グラフィクス関係ストリームを処理するのに用いられる。

<ここに請求項を反映した言語を挿入>

図面の簡単な説明

図1は本発明の実施例による基本回路のブロック線図である。

図2は本発明の実施例による図1のアレイプロセッサのブロック線図である。

図3は本発明のもう一つの実施例による図1のアレイプロセッサのブロック線図である。

図4は図1の埋め込み型マイクロプロセッサのブロック線図である。

図5は独立した外部メモリーインタフェースを備えた図1の基本回路2例を有

する集積回路のブロック線図である。

図6は一つの外部メモリーインタフェースを共有する図1の基本回路2例を有する集積回路のブロック線図である。

図7は独立した外部メモリーインタフェースを備えた図1の基本回路4例を有する集積回路のブロック線図である。

図8は一つの外部メモリーインタフェースを共有する図1の基本回路4例を有する集積回路のブロック線図である。

図9は二つの外部メモリーインタフェースを共有する図1の基本回路4例を有する集積回路のブロック線図である。

図10は二つの共有された外部メモリーインタフェースと完全に相互接続されたメッセージポートを備えた図1の基本回路4例を有する集積回路のブロック線図である。

図11は四つの共有されたメモリーインタフェースを備えた図1の基本回路16例を有する集積回路のブロック線図である。

図12は二つの共有されたメモリーインタフェースを備えた図1の基本回路16例を有する集積回路のブロック線図である。

図13は図1の基本回路例をその対応するメモリーモジュールに接続するプリント回路ボードのブロック線図である。

図14は図1の基本回路例をその対応するメモリーモジュールに接続するもう一つのプリント回路ボードのブロック線図である。

定義

ワイヤ

ワイヤは回路の複数のノード間の状態を共有するための機構である。状態は、電圧、電流、位相、スペクトル分解、光子振幅等これに制限されるわけではないがこれらを含む、ある物理的条件に基づく有限のアルファベットである。記号はアルファベットの個々の要素である。関連する物理的条件の計測値範囲は通常記号をエンコードする。最も普通に用いられるアルファベットはセット $\{0, 1\}$

即ち、2進記号セットである。上記スキーム全てを用いる2進システムが存在す

る。他の共通に使用されるアルファベットには、3記号アルファベット、例えば {0, 1, 2}、多重2進アルファベット、例えば {00, 01, 10, 11} 等がある。他のアルファベットも使用されている。ワイヤは、例えば（集積回路や回路板内の）金属の帯、光ファイバー、マイクロウェーブチャネル（時にはマイクロチャネルとも呼ばれる）として実体のあるものとされる。

ワイヤ束

ワイヤ束は1つ又はそれ以上のワイヤの集まりである。

バス

バスはバスプロトコルを保持しているワイヤ束である。バスプロトコルはワイヤ束で接続された回路間の通信を定義する。バスは通常コンポーネントワイヤ束から構成され、そこでは1つ又はそれ以上のコンポーネントワイヤ束が、1つ又はそれ以上の他のコンポーネントワイヤ束上で、どの接続されたコンポーネントが受信しており、どれが送信しているかを決めることになる。

浮動小数点

浮動小数点表記は数字エンティティを表す状態の集合を含んでいる。集合は、表示された数の符号、仮数、指数を定義する副集合を含んでいる。このような表記は、本文書の参考資料で議論されているものに限定するわけではないがこれを含む、IEEE標準浮動小数点及び特定目的浮動小数点表記を、これに限定するわけではないが、非排他的に含んでいる。浮動小数点表記は非排他的に拡張部を含んでおり、これにより、各々上記のように数の符号、仮数、指数を含む2つの副集合が存在する。数字表現は、数が存在する間隔の表現である。浮動小数点表記は、付加的に非2進システムを含んでおり、そこでは仮数及び指数は2以外の数の累乗を表す。

プログラム可能有限状態マシン

プログラム可能有限状態マシンは、状態レジスタと、可能性としては、その中に状態条件、量等のある1つ又はそれ以上の追加のレジスタと、状態レジスタ、追加のレジスタ、外部入力がこれによって状態レジスタ及び可能性のある追加のレジスタに対する次の値を生成する機構とを含むマシンである。

S I M D

単一命令多重データパスアーキテクチャは、同一命令実行サイクルの間に2つ以上のデータパス上で同一命令を実行する。この基本的コンセプトに対する代表的拡張は、各データパスに関わる「状態フラグビット」の組込である。これらのフラグは、特定のデータパスが、グローバルに共用された命令の幾つか又は全てを実行可能となるように又は実行不可能となるようにする。

S I M Dアーキテクチャは、複数のデータストリームを同じように処理する必要がある状況に最も適している。これらのデータストリームの本来備わっている同期性は、通信制御問題を度々単純化することにより利点を作り出す。S I M Dアーキテクチャは、データパス間でデータ処理が同じでなくなる際にはいつでも非効率となる。

S I M Dアーキテクチャは、データパスに共有される命令処理機構はただ1つしかないので、命令処理オーバーヘッドコストは比較的少量しか必要としない。この命令処理機構は命令取り出し機構を有する。データパス集合は通常ただ1つの命令メモリーを必要とする。

M I M D

多重命令多重データパスアーキテクチャは、別個の命令を異なるデータパスユニット上で実行する。このアプローチの基本的利点はフレキシビリティである。如何なるデータ処理ユニットでもそれ自身の命令を、他のデータ処理ユニットとは独立して実行できる。しかし、このフレキシビリティには追加のコストが掛かっている。特に、各データ処理ユニットはそれ自身の命令取り出し、デコーディング、順序づけ機構を保有しなければならない。命令取り出し機構はしばしば、

データプロセッサに対しローカルの、少なくとも一つの小さなメモリーを保有する。このローカルメモリーはしばしばキャッシュである。

(非常に) 長い命令のワードプロセッサ (各々V L I W及びL I W)

(非常に) 長い命令のワードプロセッサはアーキテクチャの1つのクラスであり、これによって、条件コード上の分岐のような通常の演算ができるプログラムカウンタと、データパスユニットを個別に制御する多重命令フィールドとを含む。

む単一命令処理機構が存在する。これらのアーキテクチャ内では、データパスユニットはしばしば構造と機能において互いに同じではない。

アレイプロセッサ

アレイプロセッサは、1つ又はそれ以上の集合内に配列された複数のデータパスユニットを有するL I W又はV L I W命令処理アーキテクチャとして定義される。本発明の実施例では、後に説明するように、データパス集合は、送信ユニットを有する共通オペランドバスを経由して受け取る共通オペランドを受け取りそしてそれに則って作動し、各データパスはメモリーから1つ又はそれ以上の追加のオペランドを受け取り、各データパス集合は、プログラム制御される内部要素の演算を制御する命令フィールドを保有する命令メモリーを含んでおり、各データパスユニットは、1つ又はそれ以上の乗算／累算器(MAC)を含んでおり、各MACは多数の累算レジスタを保有している。

乗算－累算器

乗算－累算器は2つのオペランドの乗算と少なくとも1つの他のオペランドの加算（そして減算の可能性もある）を同時に実行する演算回路である。

高速フーリエ変換(F F T)

高速フーリエ変換は、信号のスペクトルを生成するための高度に最適化されたアルゴリズムである。様々な含まれるトピックスの徹底的議論のため、参考資料(11)(12)(15)の関連する章を参照されたい。

ベクトルプロセッサ

ベクトルプロセッサはベクトル上で専門に作動するように設計されたアーキテクチャである。通常、ベクトルプロセッサには深くパイプラインが設けられている。ベクトル処理には文献が多数捧げられている。参考資料(46)－(53)参照。参考資料(30)の「ベクトルプロセッサ」はこの課題についての概括を提供している。

特定の実施例についての説明

本発明は、メモリー、ロジック、計算及び専用の回路をカプセル化したコスト効率の良い基本回路と、アルゴリズム、特にビデオフレームレンダリングに用い

られる幅広いクラスのアルゴリズムをサポートするに適した制御とを提供する。基本回路を複写すれば、計算容量を増やして、非常に高い性能要件をサポートする能力を増やすことができる。

しばしば多次元である高性能信号処理と高性能フレームレンダリンググラフィクスとの間の差異は僅かである。本文書の中では、議論は、グラフィクスの観点からフレームレンダリングに焦点を当てており、本発明を適用する際の差異を正確に述べる必要があるときには注釈を加えている。

図1は本発明の実施例による基本回路1のブロック線図である。基本回路1では、外部ローカルメモリーインタフェース2用の1つ又はそれ以上のコントローラーが基本回路1と関連する（後の図に示す）ローカル外部メモリーへのアクセスを提供する。このようなローカル外部メモリーは100メガバイトかそれ以上のオーダー(Toy Story、参考資料(1)参照)、例えば1ギガバイトまでのものであるのが望ましい。マスタメモリーインタフェース及びコントローラー(MMIC)6は「大メモリー幅広インタフェース回路」6とも呼ばれるが、外部ローカルメモリーインタフェース2と様々な他の構成要素との間の、命令を始めとしたデータの流れを制御する。MMIC6は又、内部ローカルメモリー4へのアクセスも制御する。基本回路1は又、グローバル外部バスインタフェース(GEBI)7、埋め込みマイクロプロセッササブシステム8、DSP(アレイプロセッサ)9、近接回路通信ポート10、特定目的回路11(例えば、専用のフレームジェネレーター回路、コンテンツアドレスブルメモリーCAM、ビットコードパーサ等)、及び図1に示すように回路を相互接続するワイヤ束3、5、12、13、14、15、16、17も含んでいる。

GEBI7は外部環境とのインタフェースを提供する。この外部バスは、既知のペリフェラルコンポーネントインタコネクト(PCI)、アクセレレイテッドグラフィクスポート(AGP)、ユニバーサルシリアルバス(USB)、IEEE1394(以前はファイアウェア)、ファイバーチャネルのような標準的コンピューターバスでもよいし、外部コントローラーホストと多様な本発明の例との間の通信をサポートするように設計された特定目的のバスであつてもよい。

埋め込みマイクロプロセッササブシステム8は基本回路1の作動を制御し、DSP（アレイプロセッサ）9又は特定目的回路11を目標とせずに計算を実行する。マイクロプロセッササブシステム8は以下にもっと詳しく議論する。

DSP（アレイプロセッサ）9は浮動小数点演算を実行する。本発明のある実施例では、DSP（アレイプロセッサ）9は、参考資料として挙げた1997年6月20日出願の米国特許出願番号第60/050,396号に示し論議されているものである。DSP（アレイプロセッサ）9は、以下にもっと詳しく議論する。

近接回路通信ポート10は、基本回路1とシステム内の基本回路1の他の例との間の通信を提供する。基本回路が1例だけしか使用されていないシステムアプリケーションでは、このポート10は必要ない。特定の実施例では前の文に対する例外があり、そこではこれらのポート10の幾つかが、基本回路1の例ではないが、にもかかわらず基本回路1の例により或いはそれを通して高度な並行処理から利益を得る他の構成要素（図示せず）との通信を提供する。

基本回路1を多数例有するアプリケーションでは、しばしば、基本回路1の例相互間で、高速並行通信を必要とする。通信ポート10を設けることにより、基本回路1はGEBI7内にできる可能性のあるボトルネックを低減する。特定の実施例では、通信ポート10は正確に2つの例の間に専用の通信を提供し、それ故、各ポートで使用するプロトコルは、例えば外部バスインタフェース7で使

用されるバスプロトコルより遙かに単純にすることができる。

一般的に、例相互間の通信には標準的方法が使用されている。例えば、技術的に広く資料提供されている、メッセージ転送プロトコルに基づく様々な通信スキームを使用することができる。同様に、幾つかの「セマフォ」システム又はハンドシェーキングシステムの何れかを使用して、隣接していない例上で並行順次処理（CSP）演算を同期させ制御する能力を提供することができる。

特定目的回路11は種々の実施例中に存在し、そうしなければ極度に複雑或いは時間の掛かる、アプリケーションにとって本質的な演算に対し性能強化を提供する。そのような回路の例には、これに限定されるわけではないが、Zバッファ

オペレーション、三角埋め、「B i t B l t s」、面張り等を加速させるためのフレームジェネレーターと、フラクタル圧縮のためのパターンマッチングを加速するため或いは圧縮されたトークンを例えばハッシュテーブル内への標準処理ポインティングへ変換するためのコンテンツアドレスブルメモリ（CAM）と、M E G A（ムービングピクチャエキスパートグループ）のような高度に圧縮された通信及び、サンマイクロシステムズ社の商標であるが、J a v aのような言語のための、コマンド及びデータヘッダーをデコードするためのビットコードパーサとが含まれる。

内部メモリーバンク4はランダムアクセスメモリー（RAM）アレイの一つ又はそれ以上のバンクを含んでいる。これらのメモリーは、本発明の実施例では経済的なダイナミックランダムアクセスメモリー（DRAM）であるが、他の形式のメモリーを使うこともできる。好適な実施例では、幅広い構成に編成された合計1ないし32メガバイト（MB）のメモリーが設けられている。1024ビット（1Kビット）までの幅が考慮されている。64ビット以上の幅は「幅広」と考えられている。これらのメモリーについての好適な構成は、これに限るわけではないが、以下のようなものを含んでいる。

32K x 64、128、256、512、1Kビット
 64K x 64、128、256、512、1Kビット
 128K x 64、128、256、512、1Kビット
 256K x 64、128、256、512、1Kビット等。

72のような2の累乗以外のデータ長へのアクセスを提供する構成は利点を有し得ることに留意されたい。そのような構成は、MMIC6に統合されている追加の標準ロジックにより実行される、エラー検出訂正スキームをサポートする。

MMIC6（マスタメモリーインタフェース及びコントローラー）は数多くの機能をサポートするデジタルロジック回路である。内部メモリーバンク4がDRAMであるか或いはDRAMがやるようにリフレッシュを必要とする場合、MMIC6は自動的に内部RAMバンク4をリフレッシュする。MMIC6は、GEBI7、埋め込みマイクロプロセッサ8、DSP（アレイプロセッサ）9、そ

して可能性があるものとしては近接回路通信ポート10の例、及び特定目的回路11等による、読み取り及び書き込みのための内部RAMバンク4へのアクセスを許可、制御する。MMIC6は又、GEBI7、埋め込みマイクロプロセッサ8、DSP（アレイプロセッサ）9、そして可能性があるものとしては近接回路通信ポート10の例及び特定目的回路11等による、外部ローカルメモリーインタフェース2へのアクセスを許可、制御する。

本発明の好適実施例では、MMIC6は、外部ローカルメモリー内のデータ及び／又は命令のためにモジュール7、8、9、10、11から要求を受け取ることによりデータ及び命令のフローを制御するための有限状態マシン（FSM）を含んでいる。MMIC6はFSMでエンコードされる判断アルゴリズムに基づきこれらを満足させる。データ／命令フロー制御のためのFSMはよく知られている。

本発明の好適実施例では、埋め込みマイクロプロセッサ8、DSP（アレイプロセッサ）9、特定目的回路11の各々に対し、別個の命令及びデータのストリームが維持される。これらの命令及びデータのストリームは通常、プログラム初期化及びオペレーションの間にGEBI7から外部メモリーにロードされた後、外部ローカルメモリー上に存在する。これらの命令及びデータのストリームは通常、既知のコンパイラ技法に従って1つ又はそれ以上のコンパイラにより製作され、既知の方法に従って、調整のためある量のハンドシェイキングを組み込む。

MMIC6に加えて、埋め込みマイクロプロセッサ8及びGEBI7は、技術的に知られている方法でデータ／命令フローを制御するための指示を提供する。

例えばマイクロプロセッサ8は、例えばGEBI7上でのエラー制御、初期化、バスエラー処理の捕捉のため、FSMの制御を先制的に占有できる。

外部ローカルメモリーインタフェース、即ちELMI2用のコントローラ2は、1つ又はそれ以上の種類の外部ICメモリーにアクセスするため、外部タイミング及びインタフェース規定のためのサポートを提供する。例えば、ELMI2は、RAMに対し読み取り及び書き込みアクセスを提供し、不揮発性メモリーへは読み取りアクセスを提供する。外部メモリーの幾つか又は全てがDRAM関

係（参考資料（54）の第6、7章参照）である場合、ELMI2は自動メモリーリフレッシュをサポートする。最も良い場合、ELMI2はリフレッシュの間にアクセス要求の待ち行列を提供する。ELMI2は又随意的に、書き込み、消去、或いは可能性があるとするばゆっくりした演算の間に、アクセス要求の待ち行列を提供する。

少なくとも外部メモリーの幾つかがプログラム可能で非揮発性（参考資料（54）の第10、11、12章参照）である場合、ELMI2は特定のワードの書き込みと、適切な、ワードのブロックの消去とを提供する。随意的に、ELMI2は、あるアプリケーションでの利点を提供するため、非揮発性メモリーオペレーションに対する消去保留のような、技術的に知られた追加の機能を提供する。

図1に特定的に示されてはいないが、基本回路1は代替実施例においては、アナログ・デジタル変換器(A/D)、デジタル・アナログ変換器(D/A)、電圧制御発信器(VCO)等及びそれらの対応するワイヤ束のような、1つ又はそれ以上のアナログインタフェース構成要素を含んでいる。

代替実施例における追加の2次サポート回路は、これに限るわけではないが、内部クロック乗算器、位相ロックループ(PLL)、クロック配布ネットワーク、一体型自己試験(BIST)回路、境界走査パス等を含んでいるが、これらは関係技術で知られているものである。

基本回路1は、フレームレンダリング及び同様なタスク用の高性能計算エンジンを提供するために多くのやり方で最適化される設計を有している。埋め込みマイクロプロセッサ8、DSP（アレイプロセッサ）9、特定目的回路11は、その個々の命令及びデータを並行して、且つデータ又は命令の欠如に対する停動を

最小にして処理するための回路資源を十分に備えている。この効率性は、今までそしてこれからも述べるように、例えば、全体設計から、そして個々のモジュールの設計から生じている。例えばワイヤ束13は、グローバル外部バス7とメインバスインタフェース上の基本フロー処理とは独立した埋め込みマイクロプロセッサ8との間の、例えば制御のような処理のための専用のパスを提供することにより、メインバスインタフェース(MMIC6及びワイヤ束12、14、15、

16、17) 上の帯域幅オーバーヘッドを低減する。このやり方で、メインバスインタフェースの帯域幅が維持される。

ある好適実施例では、基本回路1は集積回路(IC)として実現される。重要なのは、基本回路1は、その設計により、比較的小さなIC表面積を使って実現できることである。又、アーキテクチャは単純且つフレキシブルなので、コンパイラが効率よくその計算ユニットに、特にマイクロプロセッサとアレイプロセッサに的を絞ることができる。

図2は、本発明の実施例による、図1のアレイプロセッサ9のブロック線図である。以下の議論から明らかになるように、アレイプロセッサ9は、引用参考資料で議論されているように、先行技術のベクトル処理技法を使って効率的に並行処理することのできない計算を実行することができる。

この計算には、例えば、幾つかの比較的短いベクトルを必要とする計算が含まれる。例えば、 a 、 b 、 c 、 d 、 z を全て複素浮動小数点数として、 $X = (a z + b) / (c z + d)$ のような複素数関数を計算する場合である。よく知られているように、これらの計算並びに同様の計算はフレームレンダリングでは一般的である。関数を計算する際には、 a_0 、 b_0 、 c_0 、 d_0 、 z_0 、 X_0 が実数要素として、そしてこれに対応して a_1 、 b_1 、 c_1 、 d_1 、 z_1 、 X_1 が虚数要素として定義される。浮動小数点除法回路に入る前に、計算は2つの乗算累算パスで進められる。最初のパスで以下の計算が行われる。

$$A_0 = a_0 * z_0 - a_1 * z_1 + b_0$$

$$A_1 = a_0 * z_1 + a_1 * z_0 + b_1$$

$$B_0 = c_0 * z_0 - c_1 * z_1 + d_0$$

$$B_1 = c_0 * z_1 + c_1 * z_0 + d_1$$

2番目のパスでは、共有オペランドが発生するので、 B_0 と B_1 の結果が乗算累算器(後に論議する)にフィードバックされる。

$$C_0 = A_0 * B_0 - A_1 * B_1$$

$$C_1 = A_1 * B_0 + A_0 * B_1$$

$$D = B_0 * B_0 + B_1 * B_1$$

最後に、除算が実行される。

$$X0 = C0 / D$$

$$X1 = C1 / D$$

図2の実施例によれば、アレイプロセッサインタフェース回路（APIC）965は、MMIC6からの命令とデータの要求及び受信、MMIC6へのデータの送信を制御する。この実施例中のアレイプロセッサ9は多重データパス処理ユニット900の単一の集合970を有している。データパス処理ユニット900は、簡素化してデータパス900とも呼ばれる。集合970は演算処理ユニット（APU）を形成する。

APU970内では、内部浮動小数点表記が使用される。この内部表記は外部で使用される浮動小数点表記と同じでも同じでなくともよい。一般的に、APU970は、例えば標準IEEE浮動小数点表記のような、少なくとも標準的外部表記を期待して適用されている。ある好適実施例では、使用されている浮動小数点表記は、例えば標準IEEE浮動小数点表記の例外ケースを含んでいない簡素化した表記である。簡素化した表記を使用すれば、例外ケースの複雑性を避けることにより、例えば回路サイズに関して、内部効率を高めることができる。例外ケースはフレームレンダリングとDSPアプリケーションには通常大きく関係することはないので、簡素化された表記の使用は現実的である。

APU970は、乗算器入力回路として働く共有オペランド回路（SOC）910を含んでいる。随意的に、SOC910は、RAMがオペランドキャッシュ又は先入れ先出し（FIFO）待ち行列として使えるか否かを判断するアドレスコントローラーを有するRAM回路を含んでいる。SOC910内の第1のサブ回路（図示せず）は、入力を受け取り、ワイヤ束902の状態を捕捉するための多数の入力レジスタを含んでいる。SOC910は、第1サブ回路内のレジスタ

と連結された第2のサブ回路（図示せず）を含んでいる。第2サブ回路は整数演算ロジックユニット（ALU）（図示せず）を含んでいる。第2サブ回路は、レジスタからのワイヤ束902の状態の選択されたフィールド上で、固定小数点加算／減算を（ALU内で）実行する。第2サブ回路は又、加算／減算演算の、或い

は入力レジスタの選択されたフィールドの固定小数点の結果を、既知の変換アルゴリズムに従って内部浮動小数点表記に変換する。それ故、第2サブ回路は浮動小数点変換ユニット（図示せず）を含むと言われる。

APU970は又、2つ又はそれ以上の乗算／累算器（MAC）をデータパス処理ユニット900として含んでいる。MACは関係技術分野ではよく知られている。各MAC900は、SOC910から共有オペランドを受け取るためのワイヤ束906に連結されている。各MAC900は又、対応するローカルデータ記憶装置920に連結されている。一般的に、MAC900と同じくらい多くのローカルデータメモリ回路920がある。

演算の間、各MAC900は3つの数X、Y、Zをある数字フォーマットで受け取るが、ここに、Xはワイヤ束906を通して受け取られた共有オペランドであり、YとZはローカルデータ記憶装置920からワイヤ束909を通して受け取られる。

各MAC900は2つ又はそれ以上の、好ましくは少なくとも4個のレジスタを保有する。各MAC900は、乗算及び加算／減算を各句ロックサイクル内に実行することができ、それにより（恐らくは）現在の又は先のクロックサイクル内で受け取られたX、Y、Zの値から $XY+Z$ 又は $XY-Z$ を生成する。各MAC900は生成された結果をそのレジスタの1つに条件付きで記憶する。

APU900は、共有出力及びフィードバックインタフェース（SOFI）940を更に含んでいる。SOFI940は、ワイヤ束（907）の内部数字フォーマットを、外部的に必要な、必要とされる浮動小数点（例えばIEEE浮動小数点）表記又は固定小数点表記に変換するための標準的技法を用いて適合される浮動小数点変換ユニット（図示せず）を含んでいる。勿論、内部浮動小数点表示が外部の表示と同じ実施例では、特定の変換を行う必要はない。SOFI940はそのような変換の結果の伝送を、APIC965へのワイドバス901上で制

御する。特定の実施例では、SOFI940は又、伝送の前に必要に応じてその結果を一時的に記憶する。

データメモリ920はメモリ回路（920）のための対応するアドレスジ

エネレーター（例えばモジュール950内に、以下で議論する）を有するか、又はもう一つのMACのレジスタの状態が他の2つのオペランドを提供する。

本発明によるアレイプロセッサ9は、例えばベクトルプロセッサを使っては効率的に実行できない各形式の計算を実行できるようにする。例えば、幾つかの離散ウェーブレット変換フィルター（DWT F）の計算では、しばしば、幾つかのベクトルのサブコンポーネントを横切って、幾つかの異なるスカラーを共有する必要がある。ベクトルプロセッサはこのタスクを実行するのに通常、共有すべきスカラーの数と同じだけ多くのサイクルを必要とする。これらのDWT Fでは、全ての偶数の入力全てのフィルター出力に影響を及ぼし、奇数の入力はフィルター出力の半分だけに影響を及ぼす。この方式で4つの入力を処理すれば、奇数のエンタリーは、ベクトルプロセッサアプローチを使っての並行処理はできないという限界が出てくる。しかしアレイプロセッサ9の場合は、例えば、2つ（又はそれ以上）の奇数エンタリースカラーエレメントをベクトルの異なるコンポーネントに送ることができるので、これらの問題は最小化される。基数2のFFTは、1つのベクトルの異なるコンポーネントに対する和と差の両方を提供する。本発明は、ベクトルの各コンポーネントに対し並行してこれらを提供することにより、ベクトルプロセッサが必要とするように一対のエレメント当たり2サイクルではなく、1サイクルで結果を導き出す。

図3は、本発明のもう一つの実施例による、図1のアレイプロセッサ9のブロック線図である。図3に示すように、アレイプロセッサ9はAPU970を2つ有している。この構成は、浮動小数点計算が、例えば埋め込みマイクロプロセッサ等他のモジュールによって実行されるべき他の計算との関係で、浮動小数点計算が特に沢山あると期待されるアプリケーションに対し追加の並行処理能力を提供する。更なる実施例では、基本回路1内のAPU970の数を2以上に増やすことができる。

図3によるアレイプロセッサ9は、（図1に関し）基本回路1が合理化され、

図3によるアレイプロセッサ9に加えて、GEBI7、ELMI2、埋め込みマイクロプロセッササブシステム8、必要に応じて近接回路通信ポート10を含み

、しかし、追加の特定目的回路11及びメモリーバンク4を含まず、それ故、MIC6のメモリーコントローラーを省略するマスターインタフェース及びコントローラー6を含まない実施例に用いられている。

図4は、図1の埋め込みマイクロプロセッササブシステム8のブロック線図である。埋め込みマイクロプロセッサは関係技術分野ではよく知られている。図4に示すように、埋め込みマイクロプロセッササブシステム8はマイクロプロセッサ800を含んでいる。マイクロプロセッサ800は、Java又はMPEG-4、プログラム可能有限状態マシン(PFSM)、又はRISCエンジンのようなバイトコードマシンとして、好ましくは、ARM7TDMI(参考資料(56)参照)、又はMIPS16(参考資料(55)参照)のような32ビットのデータパスを備えた16ビットの命令セットRISCとして実現できる。

埋め込みマイクロプロセッササブシステム8は又、随意のローカルキャッシュ810、好ましくは、2-4ウェイインタリーブされた、少なくとも64頁の、少なくとも1Kワードの合計メモリーを含んでいる。通常、キャッシュメモリー810は、例えば32ビットワードとして編集される。キャッシュメモリー810は、1つは命令用、もう一つはデータ用の2つのコンポーネントキャッシュを含んでいてもよい。

埋め込みマイクロプロセッササブシステム8は又、関係技術分野では知られているように、RAM820又はROM830のような追加の随意のローカル記憶装置を含んでいる。ROM830は、マイクロプロセッササブシステム8及び/又は基本回路1のための、例えば初期化情報を含んでいてもよい。

ある好適実施例では、マイクロプロセッサ800は2バージョンの命令セットを提供するが、そのうち一つのバージョンは長さ16ビットで、コンパイラ技法で生成されるコードにより使用される最も普通の命令を含んでおり、もう一つのバージョンは長さ32ビットである。このようなマイクロプロセッサは、関係技術分野では知られている。このようなマイクロプロセッサの利点は、生成されるプログラムコードの大部分は16ビットフォーマット内にあるであろうということ

とである。各マイクロプロセッサ800では、32ビット又はそれ以上の各命令

取り出しが、更なる命令メモリアクセスに頼ることなく、次の1ないし3命令を提供できる。

基本回路1及びアレイプロセッサ9は、ここで論議したように、数多くの注目に値する利点を有する回路のアーキテクチャ又はクラスを明らかにする。

その利点の一つは、特定の計算集約的アルゴリズムをある環境下で実行する場合、回路1は、マイクロプロセッサ又は従来型のDSPを使った同等サイズのプリント回路基板上でそのようなアルゴリズムを実行する場合と比較して、非常に高レベルの効率を有しているということである。

一般的に、基本回路1は、同じ結果を出す入手可能な他の機構と比べて、回路サイズに関する要件は低い。それ故、基本回路1は同じ結果を出す他の機構より安い。アレイプロセッサ9の回路サイズに関する要件が低い要因の一つは、それが直接には除算を行わないことであり、このことは、大多数の対象としているフレームレンダリング及びDSPアルゴリズムでは、実際非常に一般的なことではない。単精度アルゴリズムのみをサポートするためにMACが構成されているアレイプロセッサ9の実施例では、大きいクラスのフレームレンダリング及びDSPアプリケーションに対しては通常十分であるので、アレイプロセッサ9の回路サイズ要件は実質的に更に低減される。

アレイプロセッサ9のアーキテクチャは、(例えばSOC910での)浮動小数点変換そしてその後に(MAC900での)乗算及び累算が後に続く、固定小数点の加算/減算の「フロントエンド」を提供する。この「フロントエンド」は、対称、非対称FIR及び低基数FFTと結びついて基本的な演算を行うことができる。これらの演算は、しばしば、通常8ないし16ビットの固定小数点精度を生成するサンプリング回路から固定小数点バージョンでデータを受け取る実際のDSPアプリケーションにおいて極めて有用である。

アレイプロセッサ9のもう一つの利点は、丸め誤差を累算する一般的事象に係する。DSPアルゴリズムが演算結果の精度維持するということは非常に重要である。効率化のため、従来のDSPプロセッサの多くは固定小数点演算を実行するアルゴリズムを使用している。そのような固定小数点演算は、精度を維持す

るため丸め誤差の管理に多大な注意を払わなければならない。これに対し、アレイプロセッサ9は浮動小数点演算を効率的に実行できる。浮動小数点計算はずっと良いダイナミックレンジを提供するという利点を持っている一方で、同じ精度の結果を得るようにプログラムするのが極めて容易である。

特定の、アレイプロセッサ9の実施態様例の能力を検証してみるのは興味あることである。この実施態様例では、アレイプロセッサ9は(図3によれば)そのAPIC965で、MMIC6から少なくとも128ビットを受け取る。各APU970のSOC910は少なくとも64ビット(好ましくは128ビット)を同時に受け取ることができる。SOC910は受け取ったデータを固定8ビット又は16ビットの整数フィールドにデコンポーズすることができる。SOC910はこれらのフィールドを4つまでの集合中で同時に加減算できる。この実施態様例の構成は計算の中でも、基数4のFFTを計算するのに極端に高い性能を達成できる。

この実施態様例では、アレイプロセッササブシステム9は、200メガヘルツ(MHz)の内部クロック速度を有している。以下の演算を各クロックサイクル毎に実行することができる。それは即ち、4つの単精度浮動小数点乗算及び4つの単精度浮動小数点加算と、整数/固定小数点加/減算、整数/固定小数点から浮動小数点式への変換と、浮動小数点から固定小数点式への変換とである。この実施態様例では、ローカルデータ記憶装置920は、対応するMAC900のためにY、Zオペランドを取り出している間にMMIC6を通したアクセスから受け取ったデータからの同時ローディングをサポートするため、2ウェイにインターリーブされている。

この実施態様例では、通信スキームは、標準的技法を使って、GEBI7、MMIC6、埋め込みマイクロプロセッササブシステム8、ELMI2、アレイプロセッサ9のAPIC965の実現の中に具体化されており、アレイプロセッサ9が、将来に想像されているフレームレンダリング及びDSPアプリケーションの形式に対して、75%の時間のオーダーで完全に活動的であり続けられるようにしている。この性能想定は、基本回路1とその内部アレイプロセッサ9に対するデータのローカルティに基づき妥当である。

この実施態様例の結果としての性能は、上記想定によれば、多くのDSP及び特定フレームレンダリングアルゴリズムに対し1-3ギガフロップ（毎秒10億浮動小数点演算）であろう。

基本回路1は、176ピンTQRF（薄型方形フラットパック）のような標準ICパッケージで実現され、各ICはプリント回路基板スペースの約1平方インチを占めるものと仮定しよう。そうすれば、本発明のある実施例はこれらのICを32個まで保持できるPCIバスカードとして実現でき、これによって僅かのコストで、シリコングラフィクスワークステーション（参考資料(1)Toy Story参照）の約16倍の性能が実現できる。

本発明は特に、Java（参考資料（64）-（65）参照）、及びMPEG-4（参考資料（57）-（63）参照）のような対話型オーディオビデオ言語を含むアプリケーションでの使用に適している。MPEG-4標準作業は、多様なアルゴリズムをカスタマーが目指すハードウェア上で実行できる環境を開発している。Javaはその定義において基本的にマシンに依存せず、非常に複雑で計算的に費用の掛かるアルゴリズムを作り出し引き起こす意味的能力を保有している。本発明はネットワーク機器の高性能サポートを提供する。

幾つかの実施例の補助説明

本発明の幾つかの実施例を、様式化されたアウトライン形式で、集積回路として補足的に説明するが、この集積回路は、

1つの大メモリー幅広インタフェース回路であって、この大メモリーは集積回路内に配置されていてもいなくてもよく、この大メモリー幅広インタフェース回路はa aワイヤ束D0から成るバスB0によって大メモリーと接続されており、

大メモリー幅広インタフェース回路内の両方向トランシーバーは前記接続バスB0のワイヤ束D0を接続して、大メモリー幅広インタフェース回路と大メモリーとの間のデータの転送を提供する、

そのような1つの大メモリー幅広インタフェース回路と、

1つ又はそれ以上のデータ処理回路であって、

プログラム可能有限状態マシン（PF SM）又はマイクロプロセッサの何

れかと、

大メモリー幅広インタフェースに対するデータプロセッサインタフェース回路であって、このデータプロセッサインタフェース回路はバスB1によって大メモリー幅広インタフェース回路と接続されており、両回路は、

前記接続バスB1のワイヤ束コンポーネントD1に接続された両方向トランシーバーと、

前記ローカルメモリー回路内で前記接続バスB1の前記接続コンポーネントワイヤ束D1の主張及び／又は感知された状態を記憶する能力を提供し、状態がもはや主張されずそれ故前記接続バスB1の前記接続コンポーネントワイヤ束D1上で感知されないかもしれない後に状態情報を保持できるようにするローカルメモリー回路とから成り、且つ、

前記バスB1のワイヤ束D1の信号状態が、時間通りに前向き又は後ろ向きに翻訳されたD0の信号状態の幾つか又は全てを含んでいる、即ち、ある機構によってデータが前記バスB0のワイヤ束D0へ又はそこから転送できる、

そのようなデータプロセッサインタフェース回路と、
を含む1つ又はそれ以上のデータ処理回路と、

1つ又はそれ以上のアレイプロセッサであって、その各々は大メモリー幅広インタフェース回路へのアレイプロセッサインタフェース回路と、共有オペランド入力回路と、多数の乗算／累算器と、共有乗算器出力回路と、命令デコーダー回路とを含んでおり、且つ、

アレイプロセッサインタフェース回路の大メモリー幅広インタフェース回路への接続はバスB2から成り、且つインタフェース回路と大メモリー幅広インタフェース回路は、

前記接続バスB2の接続ワイヤ束コンポーネントD2に接続された両方向トランシーバーと、

前記ローカルメモリー回路内で前記接続バスB2の前記接続コンポーネントワイヤ束D2の主張及び／又は感知された状態を記憶する能力を提供し、状態がもはや前記接続バスB2の前記接続コンポーネントワイヤ束上

で主張されずそれ故感知されないかもしれない後に状態情報を保持できるようにするローカルメモリー回路とを含み、且つ、

前記バスB2のワイヤ束D2の信号状態が、時間通りに前向き又は後ろ向きに翻訳されたD0の信号状態の幾つか又は全てを含んでいる、即ち、ある機構によってデータが前記バスB0のワイヤ束D0へ又はそこから転送できるようになっており、

共有オペランド入力回路はバスB3によってアレイプロセッサインタフェース回路に接続され、しかも、共有オペランド入力回路は、共有乗算器出力回路と、各乗算／累算器に関係するローカルデータメモリー回路にバスB4で接続されており、且つ、

前記共有オペランド入力回路はワイヤ束の状態情報の幾つか又は全てを受け取るようになっており、

各乗算－累算器は乗算及び加算機構に加えて2つの独立してアドレス可能なランダムアクセスメモリーからなっており、且つ、

前記乗算及び加算機構は一つの乗算器入力を共有し、読み取り専用メモリーであってもなくてもよい2つの独立してアドレス可能なランダムアクセスメモリーから2つの他の入力を供給されており、

各ランダムアクセスメモリーのアクセス及び制御ワイヤ束は制御ワイヤ束(CWB)のコンポーネントであり、

前記乗算及び加算機構は、乗算－累算器と乗算器出力回路とを共有するワイヤ束MOへの1つの出力ドライバを保有しており、

各出力ドライバーは制御ワイヤ束CWBのワイヤ束コンポーネントにより制御されており、

前記乗算器出力回路はMOワイヤ束インタフェースと、乗算器出力メモリー回路と、乗算器出力インタフェースとから成り、且つ、

前記MOワイヤ束インタフェースはMOワイヤ束に接続された入力回路から成り、

前記乗算器出力回路はMOワイヤ束インタフェース回路の入力回路と、メモリー回路内に記憶されるべきデータを供給できるような方法で接続さ

れており、

前記メモリー出力回路は乗算出力インタフェースと接続され、これによりメモリー回路の状態が、メモリー出力インタフェースからコンポーネントワイヤ束又は全体バスB3の何れかに出力できる、そのような1つ又はそれ以上のアレイプロセッサと、を含む集積回路である。

ある実施例では、バスB0は更にコンポーネントワイヤ束D0A及びD0Cを含んでおり、且つ

大メモリー幅広インタフェース回路内の出力ドライバは、前記接続バスB0のワイヤ束D0Aを接続して、大メモリーデータにアクセスするのに必要なアドレス信号を供給し、

大メモリー幅広インタフェース回路内の出力ドライバは、前記接続バスB0のワイヤ束D0Cを接続して、大メモリーデータにアクセスするのに必要な制御信号を供給する。

ある代替実施例では、バスB0は更にコンポーネントワイヤ束D0Fを含んでおり、且つ、

大メモリー幅広インタフェース回路内の入力ドライバは、前記接続バスB0のワイヤ束D0Fを接続して、大メモリーデータアクセスの状態を通信するのに使うフィードバック信号を供給する。

ある実施例では、外部回路への通信インタフェースの内少なくとも一つが、請求されている回路がバスマスターとして作動するバスへの通信インタフェースを提供する。

ある実施例では、外部回路への通信インタフェースの内少なくとも一つが、請求されている回路がバススレーブとして作動するバスへの通信インタフェースを提供する。

図5-12は、ビデオフレーム生成タスク及び他の概ね並行する計算に対して近線形昇速を提供するための本方法の使用を示す。統合化のレベルが進むに従って、共有外部メモリーインタフェース内への外部メモリーインタフェース通信パ

スを集めて一団とすることが重大な利点となってくる。各外部メモリーインタフェースは、各ICに多くのピンを追加することにより生産コストに重大な経済的負担を加える。これはダイのサイズばかりでなく、熱散逸及び電力消費にもますます影響を与える。外部メモリーとのインタフェースをこの方法で共有すれば、製造コストに関して通信帯域幅を経済的に最適化できる。

図5は独立した外部メモリーインタフェースを備えた図1の基本回路2例を有する集積回路のブロック線図である。

図6は一つの外部メモリーインタフェースを共有する図1の基本回路2例を有する集積回路のブロック線図である。

図7は独立した外部メモリーインタフェースを備えた図1の基本回路4例を有する集積回路のブロック線図である。

図8は一つの外部メモリーインタフェースを共有する図1の基本回路4例を有する集積回路のブロック線図である。

図9は二つの外部メモリーインタフェースを共有する図1の基本回路4例を有する集積回路のブロック線図である。

図10は二つの共有された外部メモリーインタフェースと完全に相互接続されたメッセージポートを備えた図1の基本回路4例を有する集積回路のブロック線図である。

図11は四つの共有されたメモリーインタフェースを備えた図1の基本回路16例を有する集積回路のブロック線図である。

図12は二つの共有されたメモリーインタフェースを備えた図1の基本回路16例を有する集積回路のブロック線図である。

図13は図1の基本回路例をその対応するメモリーモジュールに接続するプリント回路ボードのブロック線図である。

図14は図1の基本回路例をその対応するメモリーモジュールに接続するもう一つのプリント回路ボードのブロック線図である。

参考資料

1. ユーボイス、ジェフ「太陽ハリウッドに行く：117 SPARCステーション

ジョンレンダー「Toy Story」最初の長編コンピューター動画フィルム」、
SunWorld Online、1995年11月、www電子マガジン
<http://www.sun.com/sunworldonline/swol-11-1995/swol-11-pixr.html>参照。

2. ファック、ヘンリー、米国特許第4, 590, 465号「ロジック補強した画素メモリーセルを使ったグラフィクスディスプレイシステム」1982年2月18日出願、1986年5月20日認可

3. アンドリュウ、デビッドH他、米国特許第4, 646, 075号「データ処理パイプラインのためのシステムと方法」1983年11月3日出願、1987年2月24日認可

4. リトルフィールド、リチャード、米国特許第4, 949, 280号「パレルプロセッサベース・ラスタグラフィックスシステムアーキテクチャ」1988年5月10日出願、1990年8月14日認可

5. ヘドリー、デイビッド他、米国特許第4, 953, 107号「ビデオ信号処理」1989年8月28日出願、1990年8月28日認可。

6. ウェストバーク、トーマス他、米国特許第5, 101, 365号「Zバッファメモリーを使用したウィンドウを拡張するための装置」1990年11月7日出願、1992年3月31日認可

7. カウリー、ロビン、米国特許第5, 103, 217号「電子画像処理」1988年11月29日出願、1992年4月7日認可

8. ライアン、ボブ他、米国特許第5, 182, 797号「階層データ構造をディスプレイ表示するためのマルチプロセッサグラフィクスディスプレイシステム」1992年5月27日出願、1993年1月26日認可

9. ソカイトシオ他米国特許第5, 594, 844号「オブジェクトベースパラメータを使って数値分割されたボクセルを通しての光線追跡を使った3次元ビュー」1994年1月25日出願、1997年1月14日認可

10. ユーリン、キース、米国特許第5, 630, 043号「3次元画像表示のための動画テクスチャマップ装置及び方法」1995年5月11日出願、1997年5月13日認可

11. オッペンハイム、アラン&シェファ、ロナルド「デジタル信号処理」
©1975年、ブレンティスホール、イングルッドクリフ、ニュージャージー
12. オッペンハイム、アラン&シェファ、ロナルド「離散時間信号処理」©
1989年、ブレンティスホール、ISBN 0-13-21629-X
13. バーンズリー、ミチエル&ハード、ライマン「フラクタル画像圧縮」©
1993年、AKピーター社、ウェズリー、マサチューセッツ、02181、ISBN 1-56881-000-8
14. ドーベチー、イングリッド「ウェイブレットについての10の講義」©
1992年、工業応用数学界、ISBN 0-89871-274-2
15. カイザー、ジェラルド「ウェイブレットへのフレンドリーな案内」©1
994年、バークハウザ、ボストン、ISBN 0-8176-3711-7
16. フィッシャー、ユバル（編集）「フラクタル画像圧縮」©1995年、
スプリングーフェルラーク、ニューヨーク、ISBN 0-387-9421
1-4
17. マグレガ、D. R. 他「高速フラクタル圧縮」ドブ博士のジャーナル、
1996年1月、34頁他
18. リム、ジェー「2次元信号及び画像の処理」©1990年、ブレンティ
スホール、ISBN 0-13-935322-4
19. グラスナー、アンドリュー「デジタル画像合成の原理」1、2巻、©
1995年、モーガンカウフマン出版社、ISBN 1-55860-276-
3
20. フォーリー、ジェームス他「コンピューターグラフィクス：原理と実際

ー第2版」©1996年、1990年、アディソン・ウーズレイ出版社、ISBN

N 0-201-84840-6

21. ワット、アラン「3次元コンピューターグラフィクス」第2版、©19

93年、アディソン・ウーズレイ出版社、ISBN 0-201-63186-

5

22. ワット、アラン&ワット、マーク「進化したアニメーション及びレンダ

リング技法」©1992年、ACMプレス、ISBN 0-201-54412

-1

23. プルシンキヴィッツ、プルツェミズロー&リンドナイヤー、アリスティ
ッド他「プラントのアルゴリズム的美」©1990年、スプリンガー・フェルラー

ク、ニューヨーク社、ISBN 0-387-97297-8

24. イワタエイジ他「リアルタイムMPEG2ビデオコーディング/デコー
ディングのための2. 2GOPSPビデオDSP、2-RISC MIMD、6-
PE SIMD」©1997年IEEE国際固体素子回路会議、1997年IE

EE、ISBN 0-7803-3721-2、258-259頁

25. シルバーブルック、キア、米国特許第5, 590, 252号「ビデオプ
ロセッサシステム及びオーディオプロセッサシステム」1993年4月28日出
願、1996年12月31日認可

26. ユーリン、キース、米国特許第5, 630, 043号「3次元画像表示
のための動画テクスチャマップ装置及び方法」1995年5月11日出願、19
97年5月13日認可

27. サカイトシオ他米国特許第5, 594, 844号「オブジェクトベース
パラメータを使って数値分割されたボクセルを通しての光線追跡を使った3次元

ビュー」1994年1月25日出願、1997年1月14日認可

28. グリーン、エドワード他、米国特許第5, 579, 455号「階層的Z-バッファ可視性を使ったディスプレイ上への3次元シーンのレンダリング」1993年7月30日出願、1996年11月26日認可

29. ポールトン、ジョン他、米国特許第5, 481, 669号「強化メモリー装置を利用した画像生成のためのアーキテクチャ及び装置」1995年2月6日出願、1996年1月2日認可

30. パターソン、デイビッド&ヘネシー、ジョン「コンピューターアーキテクチャ：量的アプローチ（第2版）」©1990年、1996年、モーガン Kaufman出版社、ISBN 1-55860-329-8

31. ジョンソン、マイク「スーパースカラ・マイクロプロセッサ設計」©1

991年、PTRプレントイス・ホール社、イングルッドクリフ、ニュージャージー、ISBN 0-13-875634-1

32. ムラカミカズアキ他「256Mb DRAM及びカッドプロセッサを備えたパラレル処理RAMチップ」1997 IEEE 国際固体素子回路会議、228-229頁、ISBN 0-7803-3721-2

33. アイモトヨシハル他「16Mb DRAMと128プロセッサを統合する7.68GPI3.84GB/s 1Wパラレル画像処理RAM」1996 IEEE 国際固体素子回路会議、372-373頁、ISBN 0-7803-3136-2

34. ヤオ、ヨン「クロマティックのMpack 2ブースト3D:Mpack/3000が大量出荷される最初のメディアプロセッサになる」マイクロプロセッサリポート第10巻No. 15、1頁及び6-10頁、1996年11月18日発行、©1996年、マイクロデザインリソース

35. シミズ、トヌ他「16Mb DRAMを備えたマルチメディア32b RISCマイクロプロセッサ」1996 IEEE 国際固体素子回路会議、216-217頁、ISBN 0-7803-3136-2

36. グラスコフスキー、ピーター「富士通はDVDでメディアプロセッサを目指す：MMAは長命令ワードコア、統合周辺機器を結合」マイクロプロセッサリポート第10巻No. 15、1996年11月18日発行、©1996年、マイクロデザインリソース

37. 「三星、マルチメディア信号プロセッサを発表」ジョンペディアソシエーツPCグラフィックスレポート、1996年8月20日発行、©1996年、ジョンペディアソシエーツ、ティブロン、カリフォルニア94920、1153-1156頁

38. ヤオ、ヨン「三星、メディアプロセッサを出荷：MPAはマイクロソフトの新3Dソフトウェアアーキテクチャ用に設計されている」マイクロプロセッサリポート第10巻、No. 11、1頁及び6-9頁、1996年8月26日発行、©1996年、マイクロデザインリソース

39. 「クロマティック、Mpackを初公開」ジョンペディアソシエーツPCグラフィックスレポート、1996年8月27日発行、©1996年、ジョンペディアソシエーツ、ティブロン、カリフォルニア94920、1182-1183頁

40. ロムニー、ゴードン他、米国特許第3,621,214号「電子的に生成された透視図」1968年11月13日出願、1971年11月16日認可

41. ゴーブ、ロバート、米国特許第5,410,649号「画像表現コンピュータシステム及びネットワーク」1992年6月29日出願、1995年4月25日認可

42. ゴーブ、ロバート他、米国特許第5,522,083号「1つのプロセッサが残りのプロセッサで使うために命令を取り出す、SIMDモードで作動する再構成可能マルチプロセッサ」1994年6月22日出願、1996年5月28日認可

43. 「TMX320C6201デジタル信号プロセッサ：プロダクトレビュー」SPRS051.pdf、1997年1月、©1997年、テキサスインスツルメント、テキサスインスツルメントウェブサイト<http://www.ti.com>から入手可能

44. ワインレブ、ダニエル&ムーン、デイビッド「フレイバー：LISPマシンにおけるメッセージパッション」AIメモ602、1980年11月、M.

I. T. 人工知能研究所

45. デーリィ、ウィリアム他「メッセージ駆動プロセッサアーキテクチャ、バージョン11」AIメモ1069、1988年8月、M. I. T. 人工知能研究所

46. クレイ、セイモア、米国特許第4, 128, 880号、1976年6月30日出願、1978年12月5日認可

47. ベアード、ダグラス他、米国特許第5, 544, 337号「ベクトルレジスタで制御するためのレジスタを有するベクトルプロセッサ」1995年6月7日出願、1996年8月6日認可

48. ヨシナガトール、シンジョウナオキ、米国特許第5, 598, 574号「ベクトル処理装置」1996年3月18日出願、1997年1月28日認可

49. クレイ、セイモア、米国特許第3, 833, 889号「マルチモードデータ処理システム」1973年3月8日出願、1974年9月3日認可

50. ポーター、ジョン他、米国特許第4, 589, 067号「ダイナミックに構成可能なマルチファンクションパイプラインALUを備えた全浮動小数点ベクトルプロセッサ」1983年5月27日出願、1986年5月13日認可

51. エリス、ジェームズ他、米国特許第5, 418, 973号「ベクトル演算及びスカラー演算の双方を調整するキャッシュコントローラーを備えたデジタルコンピューターシステム」1992年6月22日出願、1995年5月23日認可

52. オモダコイチロー他、米国特許第4, 651, 274号「ベクトルデータプロセッサ」1984年3月28日出願、1987年3月17日認可

53. ギャラップ、ミシェル他、米国特許第5, 600, 846号「データ処理システム並びにその方法」1995年2月17日出願、1997年2月4日認可

54. プリンズ、ベティ「半導体メモリー：設計、製造、適用ハンドブック、

第2版」©1983年、1991年、ジョンウィリィ&サン社、ISBN 0-

471-94295-2

55. 「製品説明：MIPS16アプリケーション特定エクステンション」 v

1. 1、1997年7月24日のシリコングラフィクス社ウェブサイト

<http://www.sgi.com/MIPS/mips16pdf>で見ることができる

56. 「Thum™ v. 2. 0紹介」1995年3月出版、©アドバンスドR

ISCマシン社 (ARM) 1995年

57. 「ボリューム1エディトリアル」画像通信ジャーナル：MPEG-4

についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mpeg-4_si/paper0.htmからダウンロード

58. ケネン、ロブ、ペレイラ、F.、チャリグリョーネ、L. 「MPEG4

：コンテキストとオブジェクティブ」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mpeg-4_si/paper1.htmからダウンロード

ンロード

59. コンティン、L、他「MPEG-4オーディオコーデックプロポーザルでのテスト」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mpeg-4_si/paper3.htmからダウンロード

60. オスターマン、ジョーン「MPEG-4におけるビデオツール及びアルゴリズムの評価に使用されるメソドロジー」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mpeg-4_si/paper4.htmから

らダウンロード

61. エブラーミ、トーラジュ「MPEG-4ビデオ検証モデル：内容表現に基づくビデオエンコーディング／デコーディングアルゴリズム」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mepg-4_si/paper5.htmか

らダウンロード

62. アバロ、O. 他「MPEG-4システムと記述言語：可聴可視情報表現における進んだ方法」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mepg-4_si/paper6.htmか

らダウンロード

63. デンジ、P. 他「MPEG-4：混合メディアのためのオーディオ／ビデオ&合成グラフィクス／オーディオ」画像通信ジャーナル：MPEG-4についての特集、1997年7月17日の週を

http://drogo/cse.lt.stet.it/ufv/leonardo/icjfiles/mepg-4_si/paper7.htmか

らダウンロード

64. ゴスリング、ジェイムズ、ジョイ、ビル&スチール、ガイ「JavaTM言語仕様」©1996年サンマイクロシステムズ社、アディソン・ウーズレイにより出版、ISBN 0-201-63451-1

65. アーノルド、ケン&ゴスリング、ジェイムズ「JavaTMプログラミング言語」©1996年サンマイクロシステムズ社、アディソン・ウーズレイにより出版、ISBN 0-201-63455-4

66. インテル「アクセレレイティッドグラフィクスポートインタフェース仕様」改訂版1.0、インテル社、1996年7月31日

67. 「ユニバーサルシリアルバス仕様」改訂版1.0、コンパック、デジタルイクイップメント、IBMPC、インテル、マイクロソフト、NEC、ノーザンテレコム各社による、1996年1月15日

68. ソラーリ、エドワード&ウィルス、ジョージ「PCハードウェア及び

ソフトウェア、第3版」©1994年、1995年、1996年、アナブックに

より出版、サンディエゴ、カリフォルニア、ISBN 0-92392-3-9
、第5刷、1996年1月

69. シャンリー、トム、アンダーソン、ドム「PCIシステムアーキテク
チャ、第3版」©1995年マインドシェア社、ISBN 0-201-4099
3-3, 第1刷、1995年2月

70. パパイチャリス、パノス&ソ、ジョン「TMS32020による高速フ
ーリエ変換アルゴリズムの実現」、「TMS32020によるデジタル信号処
理

アプリケーション」の84-85頁、©1986年テキサスインスツルメント社

【図1】

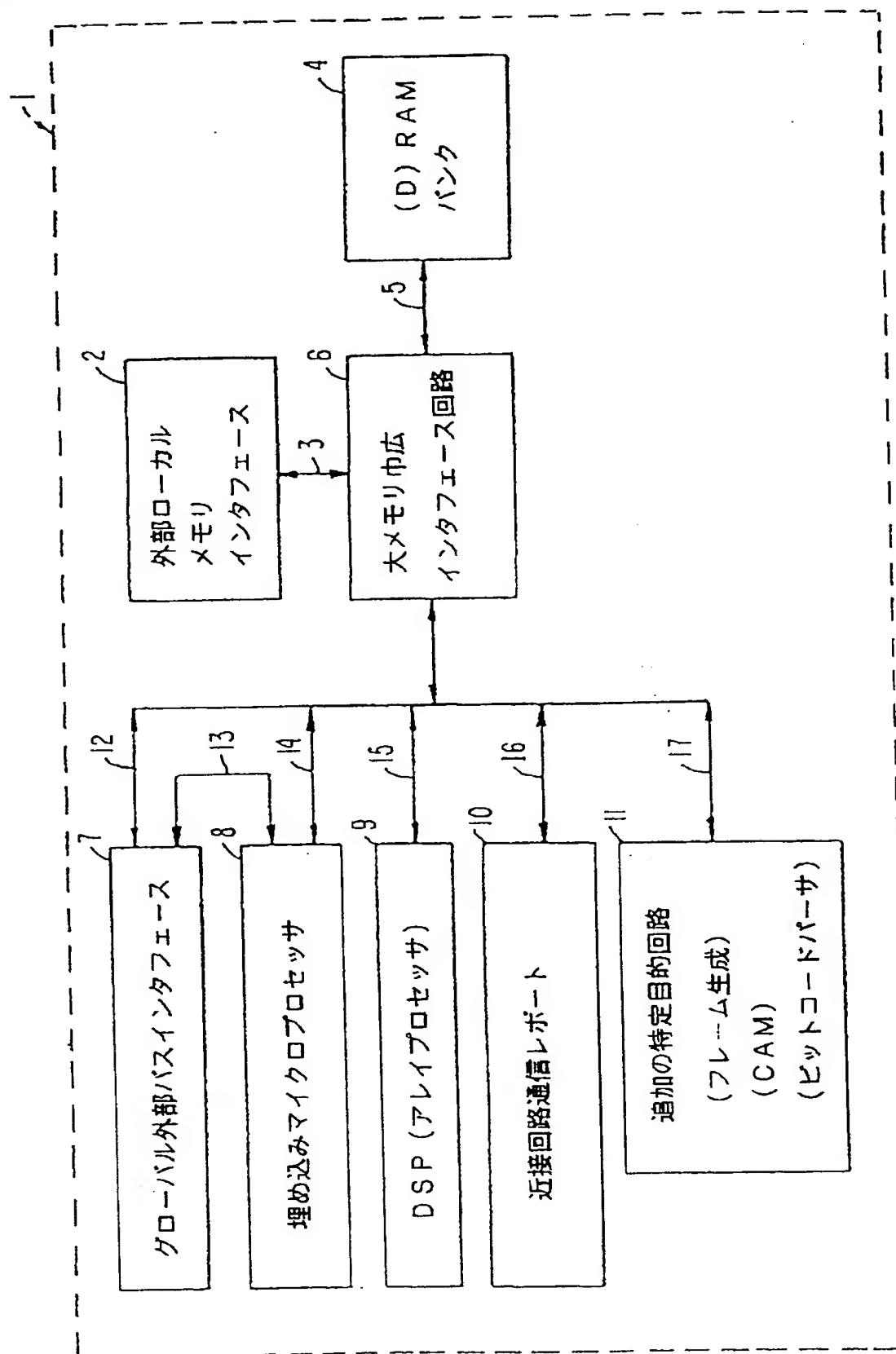


FIG. 1.

【図 2】

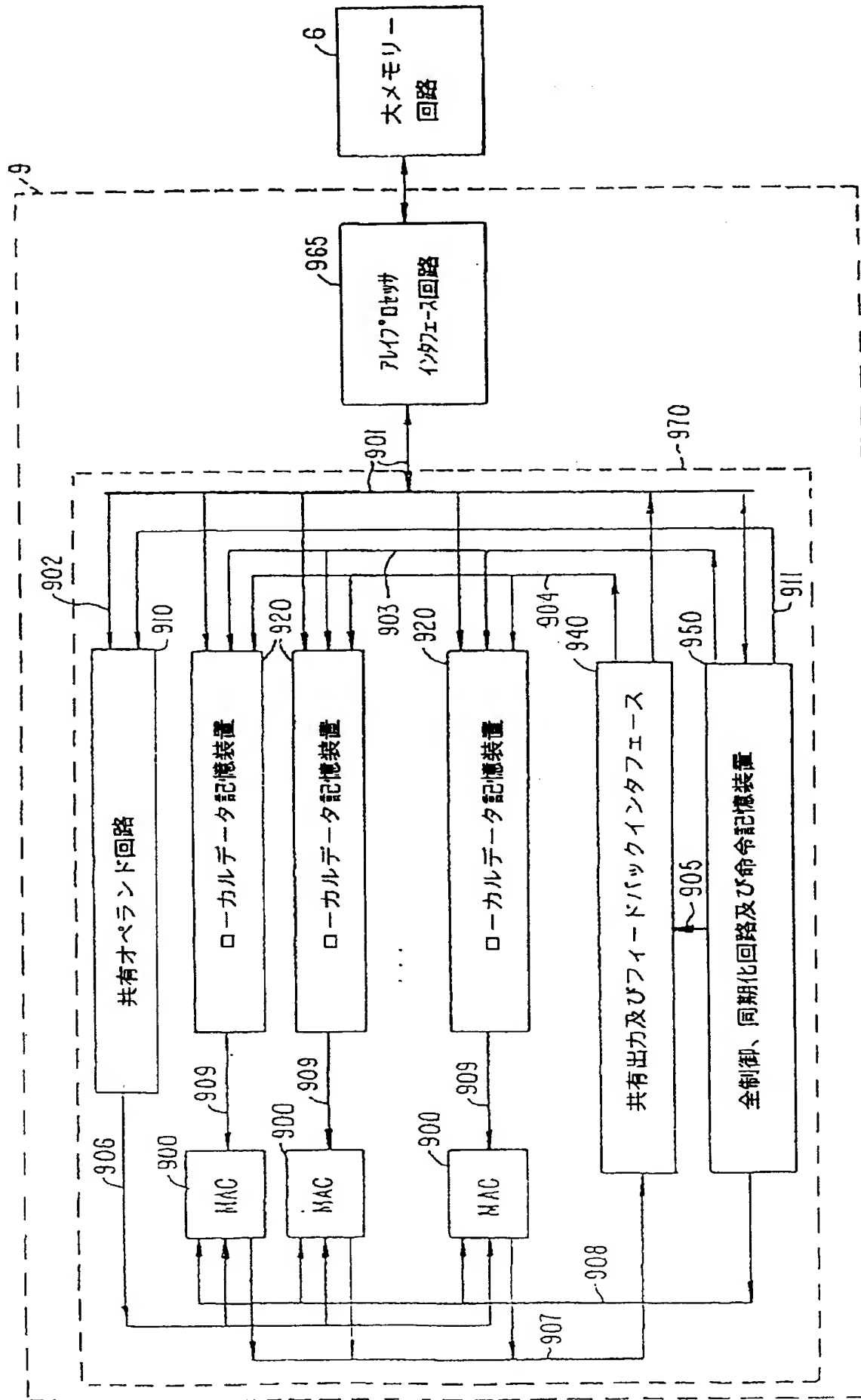


FIG. 2.

【図3】

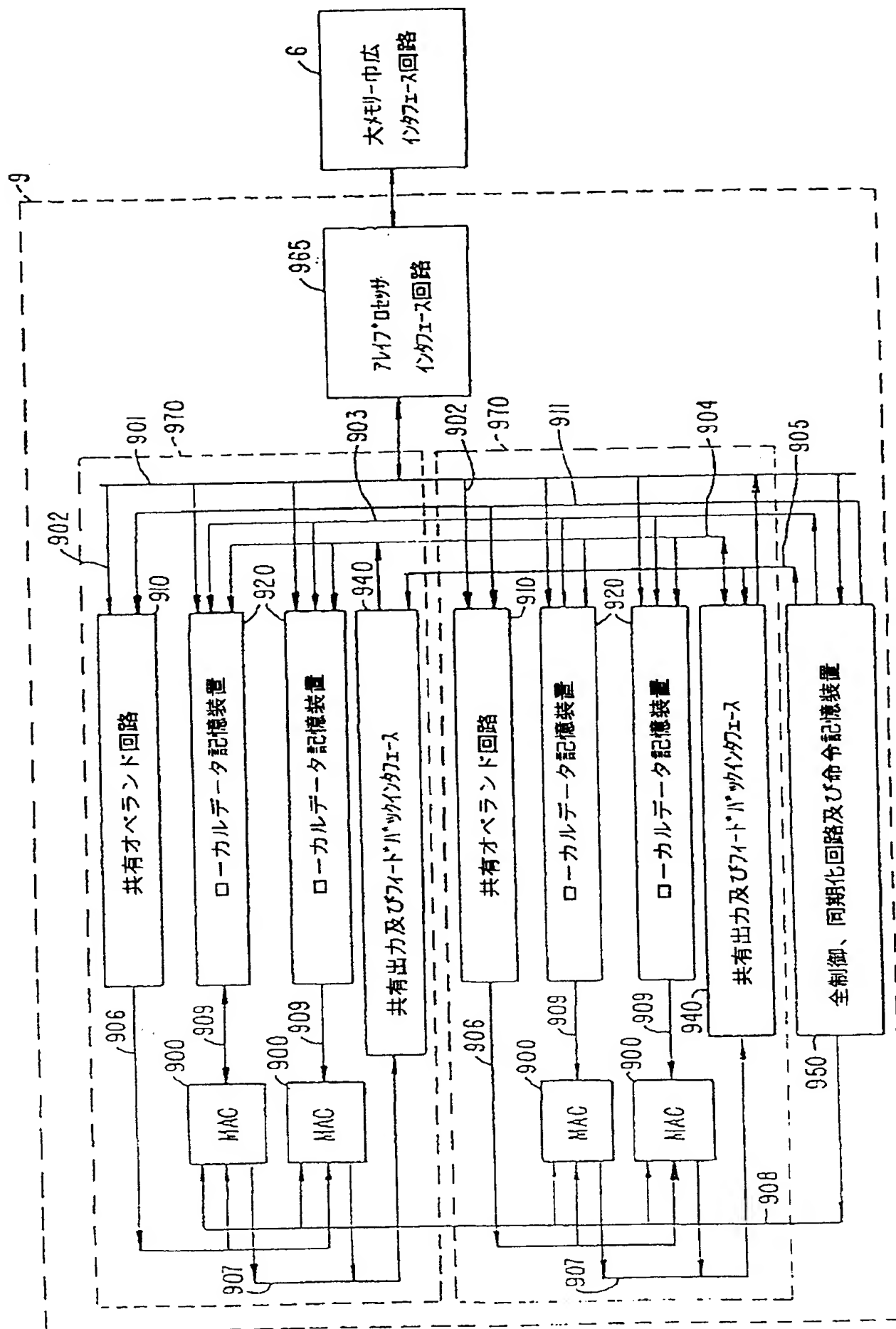


FIG. 3.

【図4】

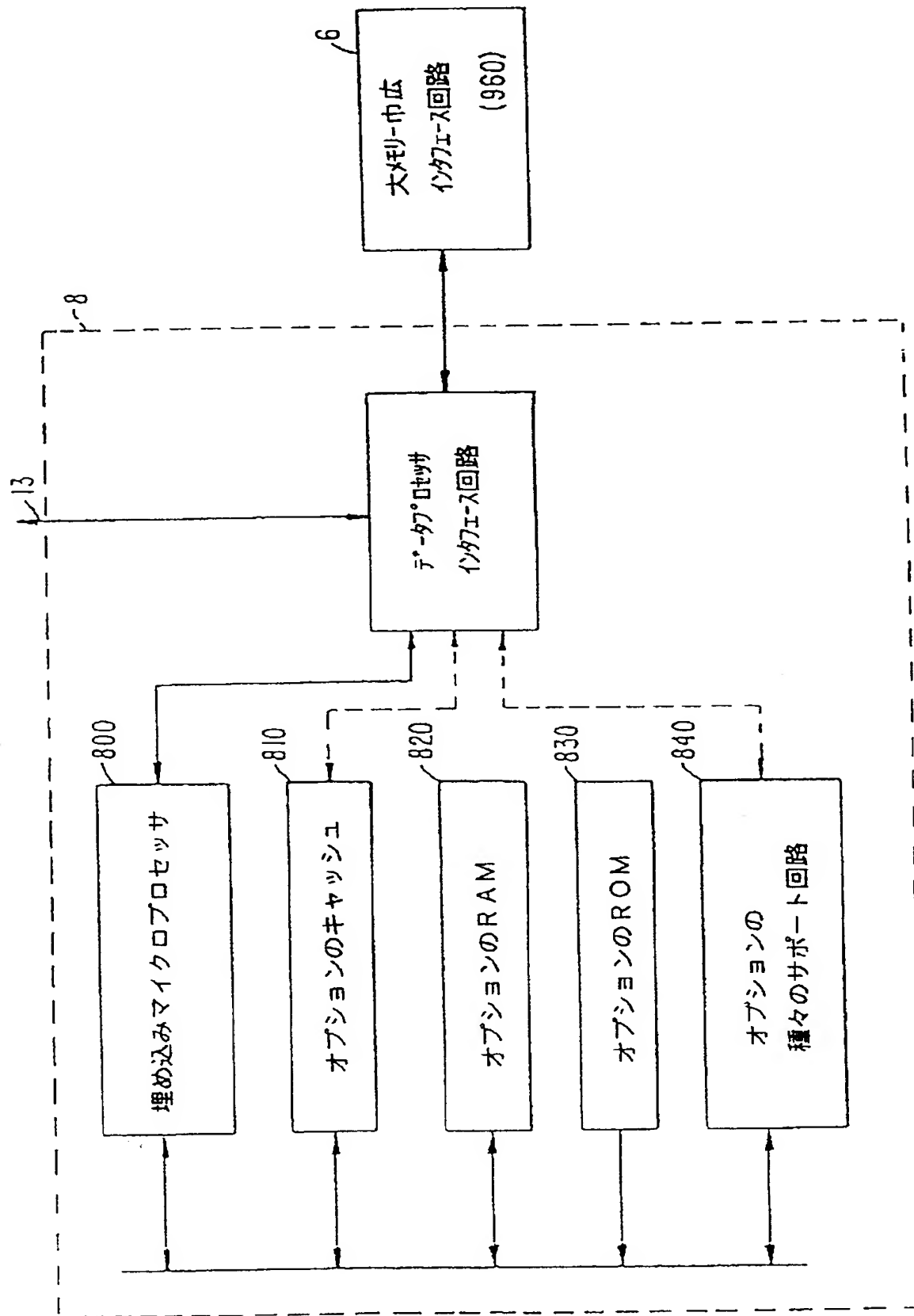


FIG. 4.

(43)

【図 5】

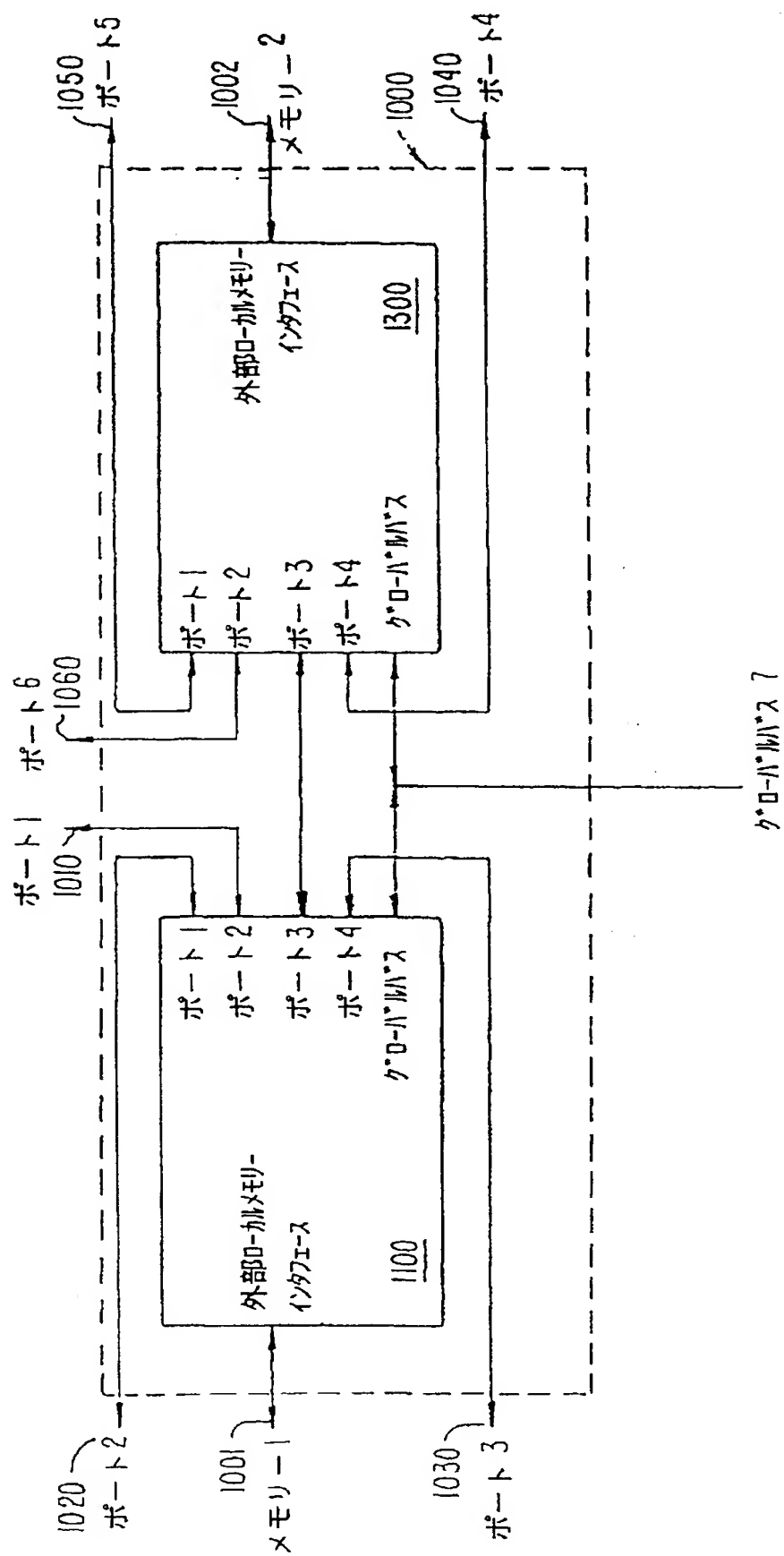


FIG. 5.

【図6】

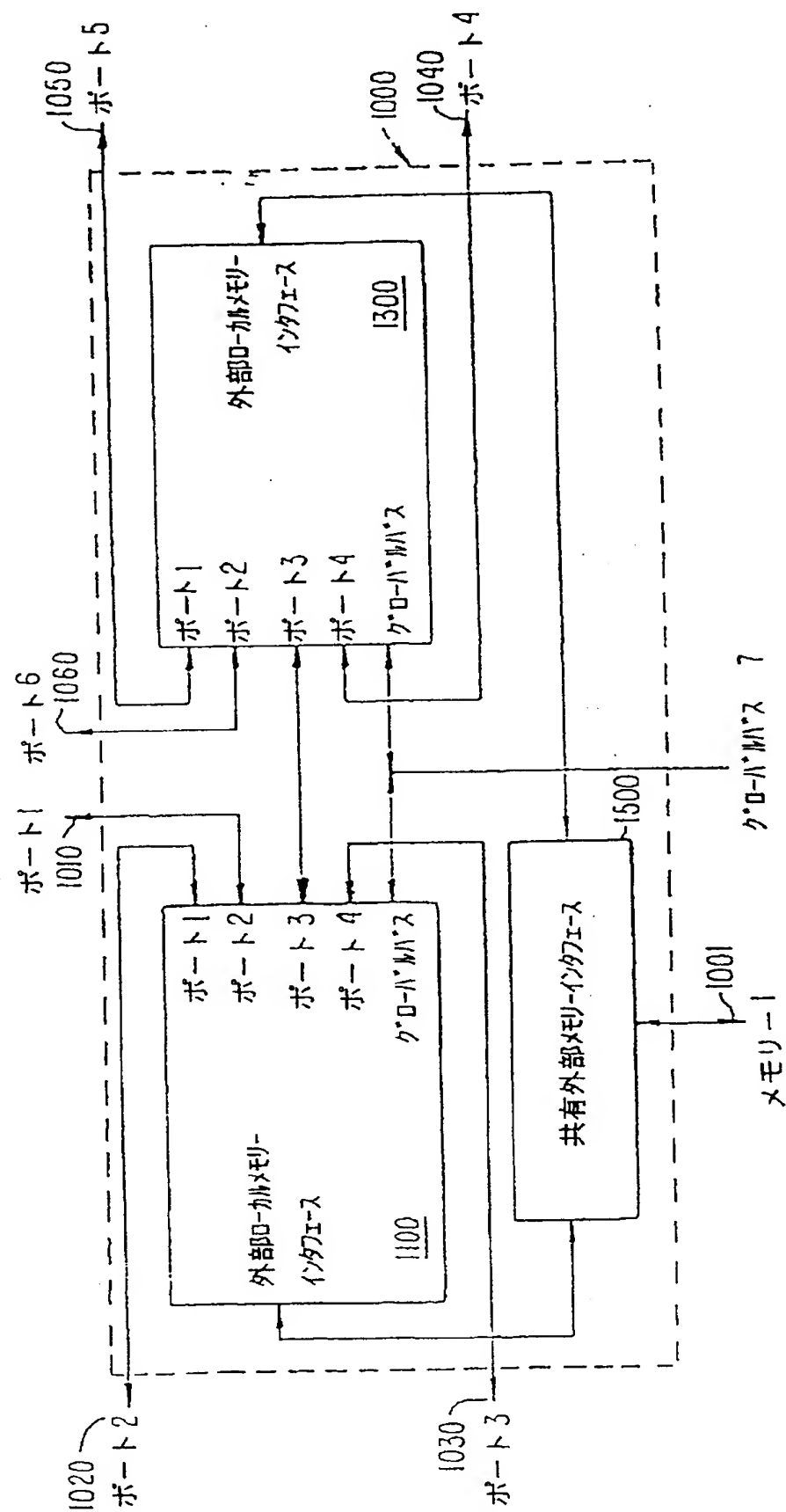


FIG. 6.

【図7】

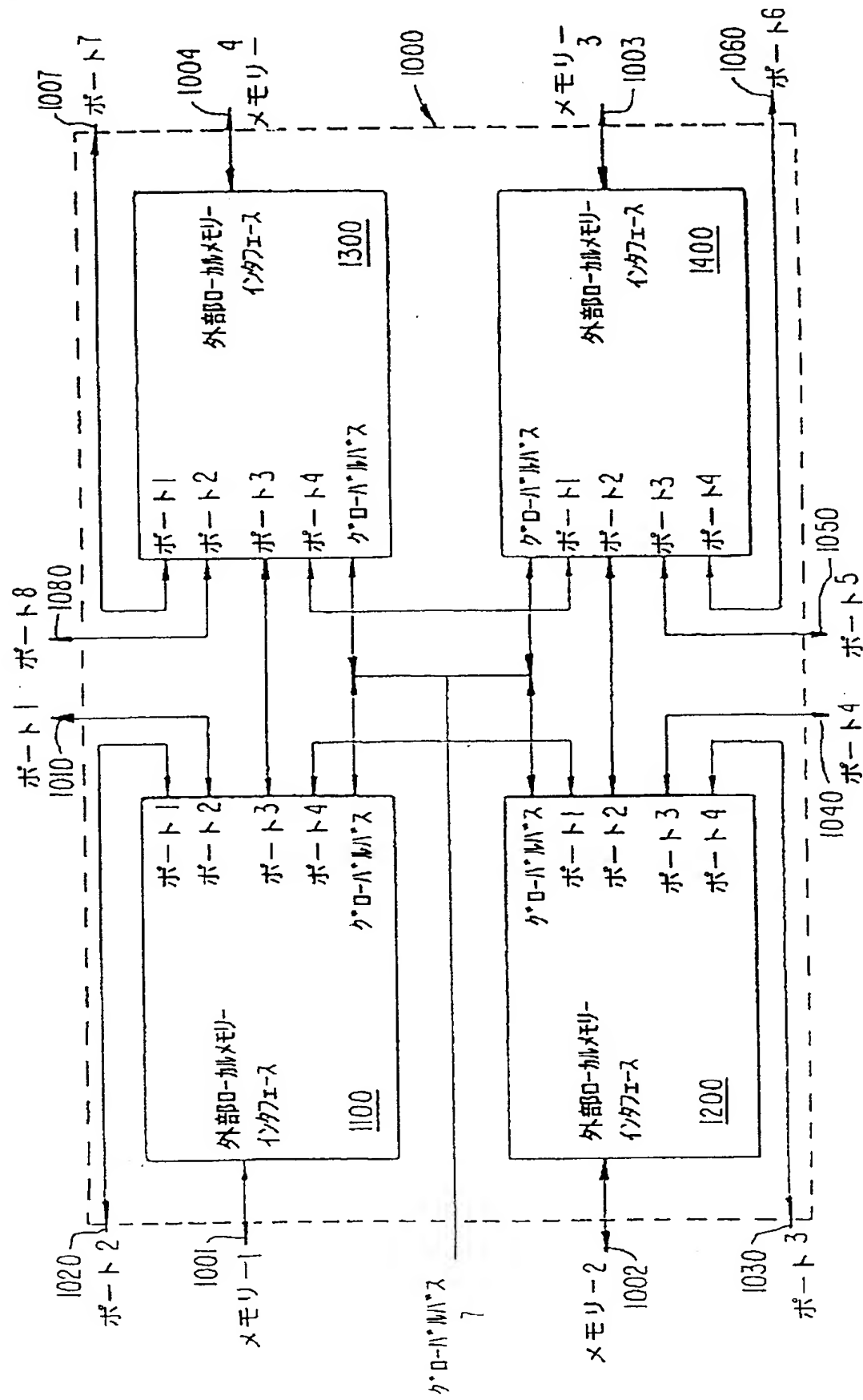


FIG. 7.

【図8】

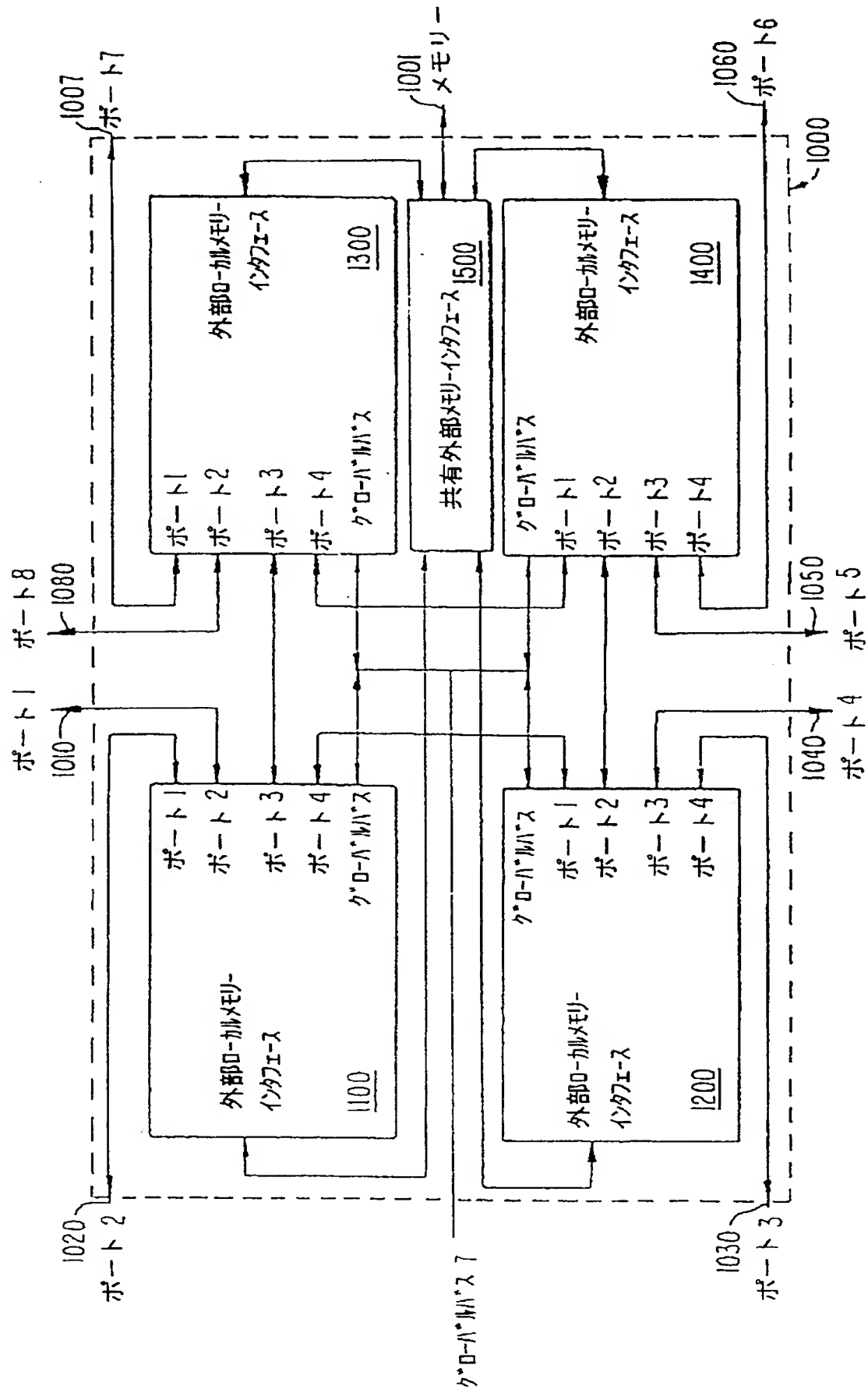


FIG. 8.

【図9】

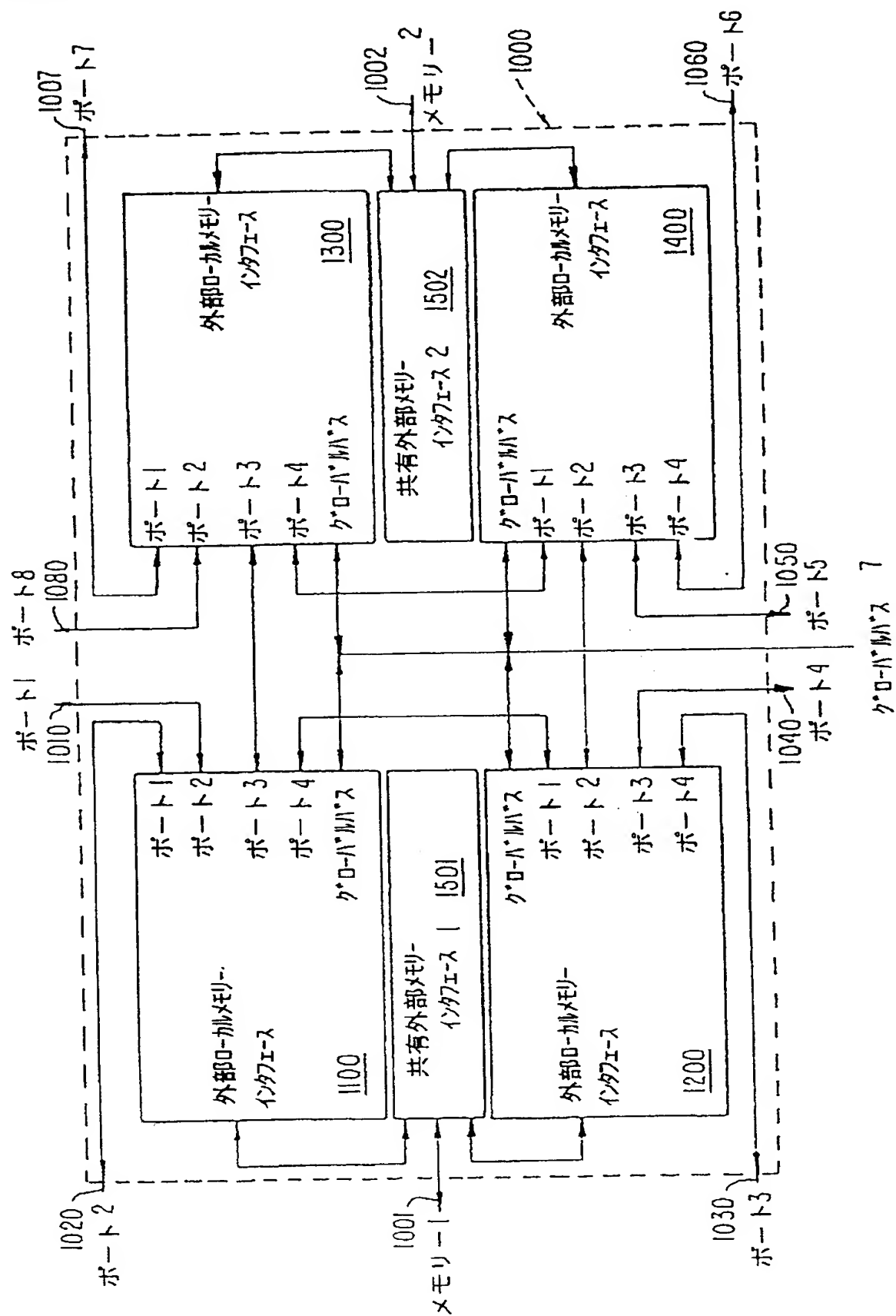


FIG. 9.

【図10】

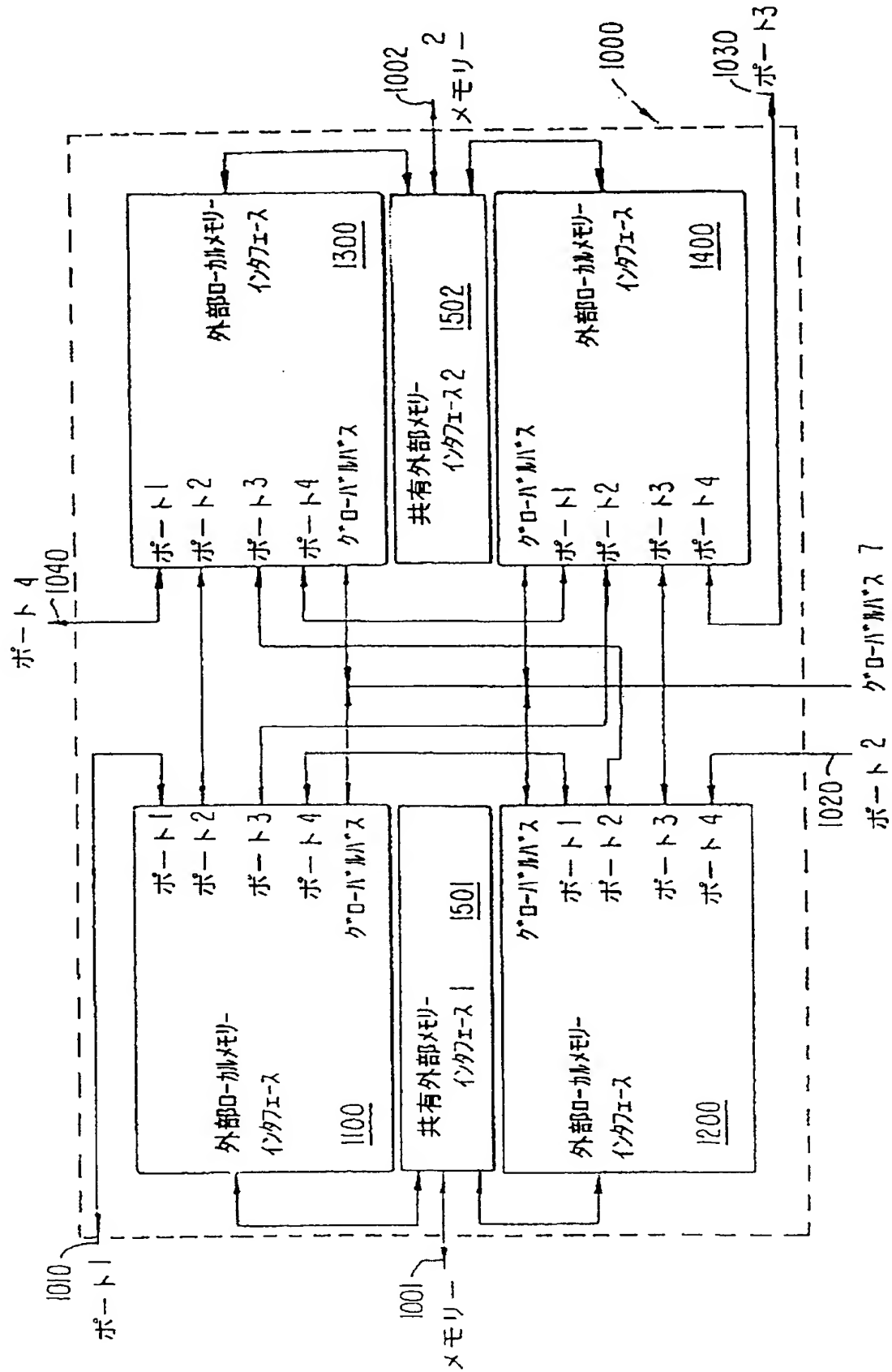


FIG. 10.

【図 11】

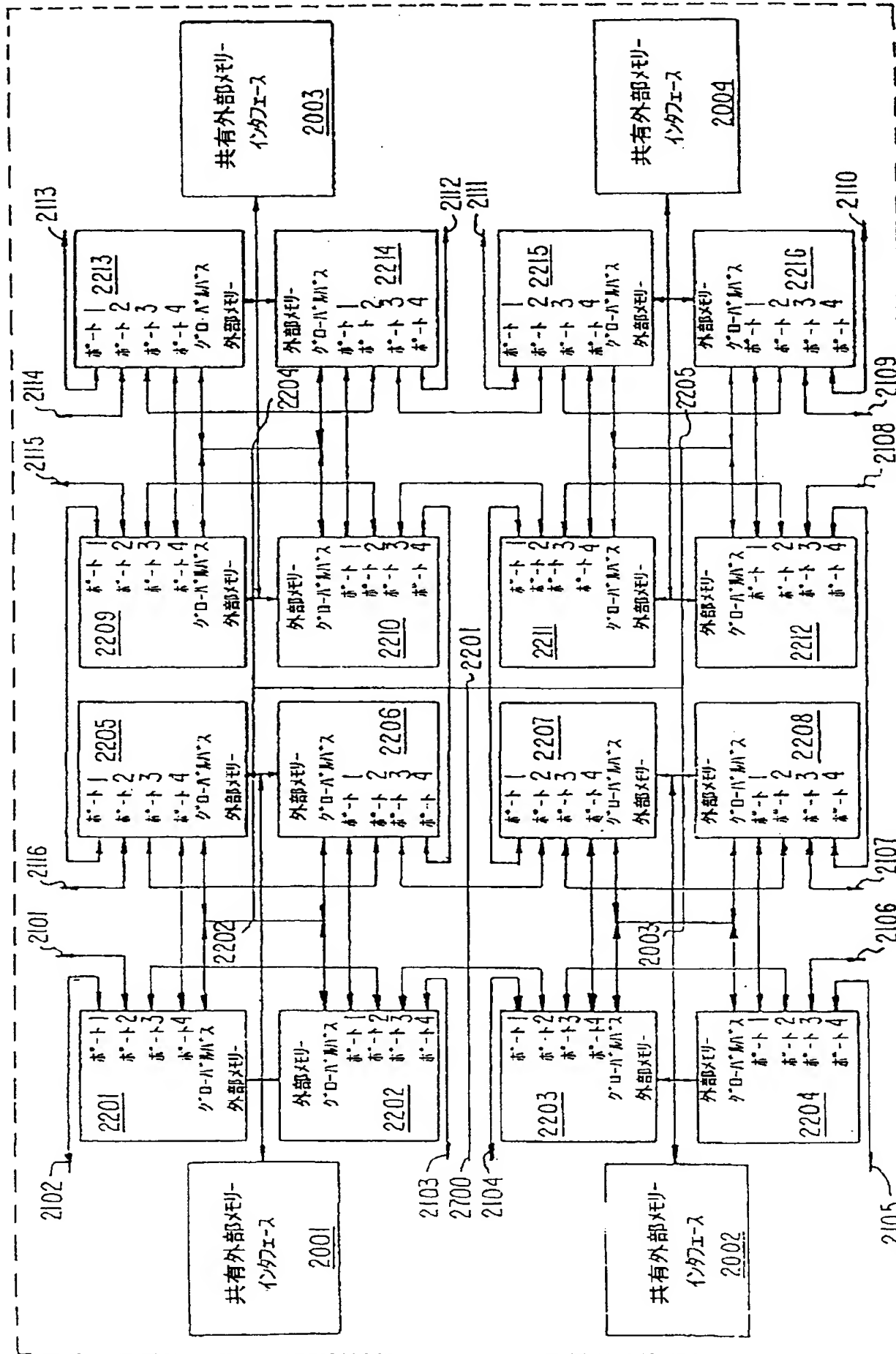


FIG. 11.

【図 12】

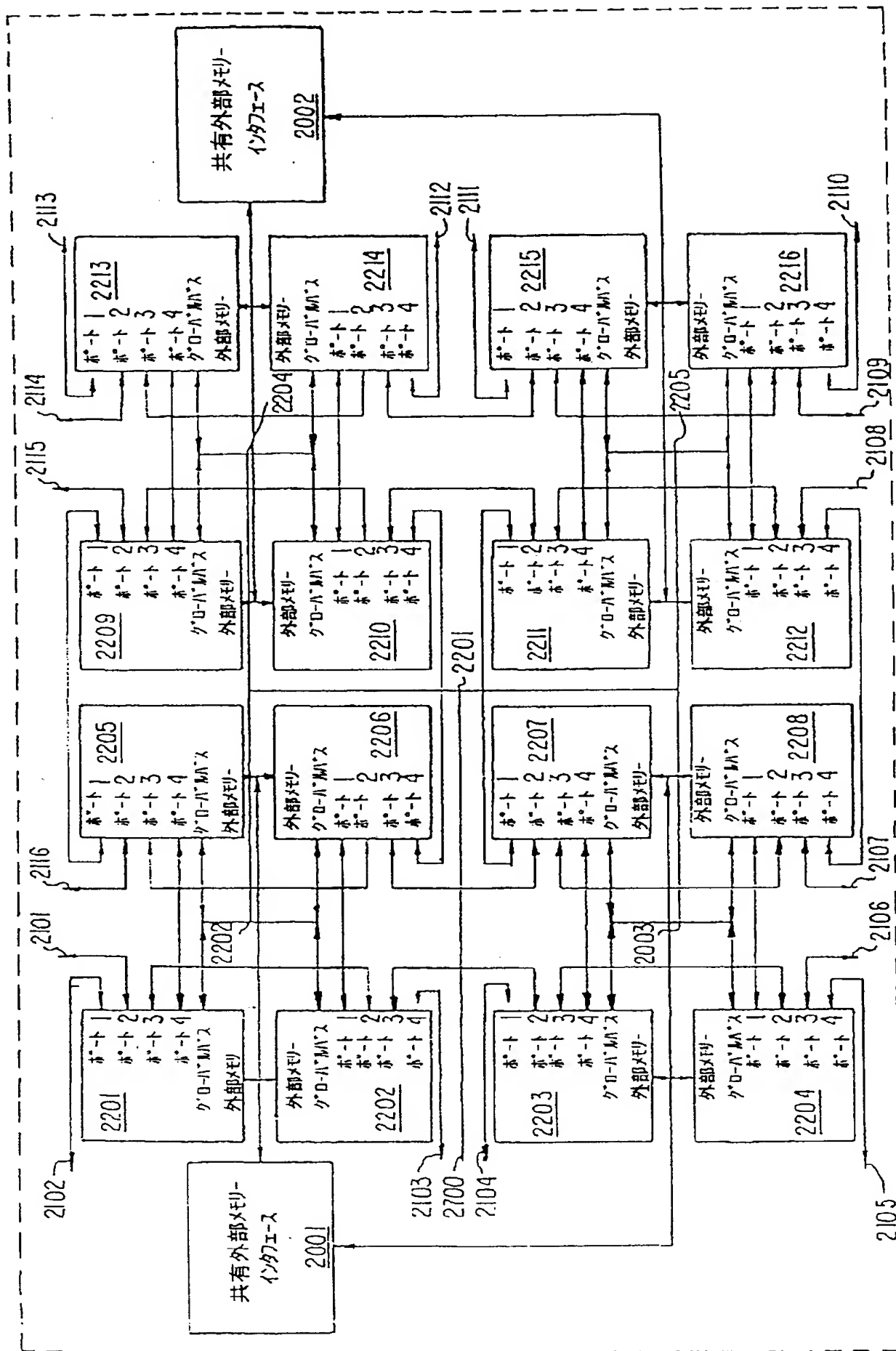


FIG. 12.

【図13】

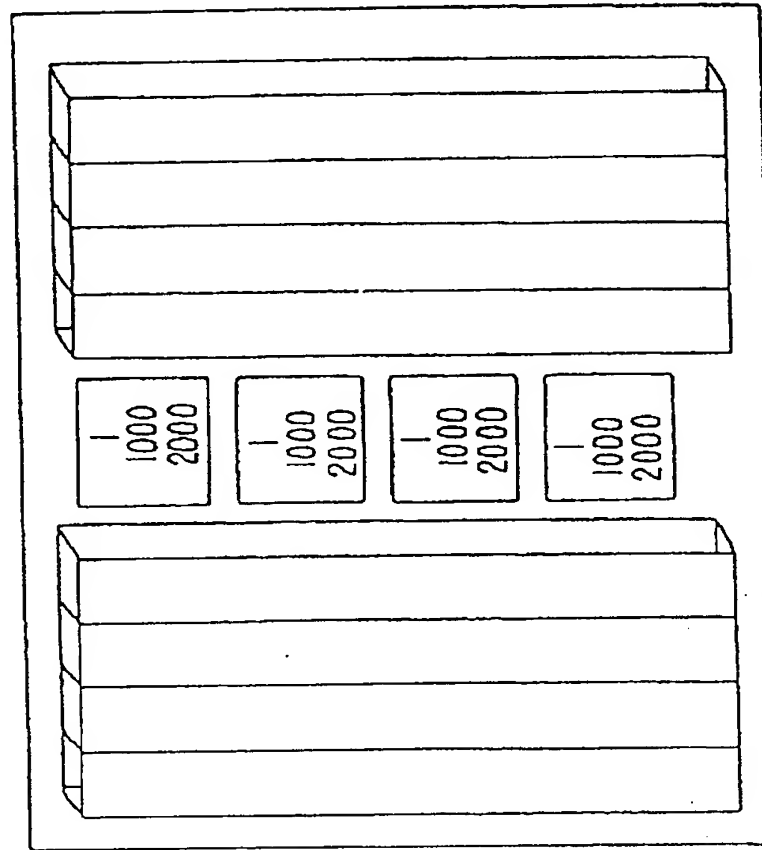


FIG. 13.

- ・ 全PCBフートプリント
125MM * 125MM
- ・ プリント回路基板の各サイドには
以下のものが含まれている
 - (4) エンボディメント
 - (8) 各々 16M x 72ビットまでの
同期式 DRAMモジュール (168ピン)
 - 各エンボディメントは 288メガバイトの
RAMを有している
 - プログラムROM及び他のチップ回路は
ここに図示していない

【図14】

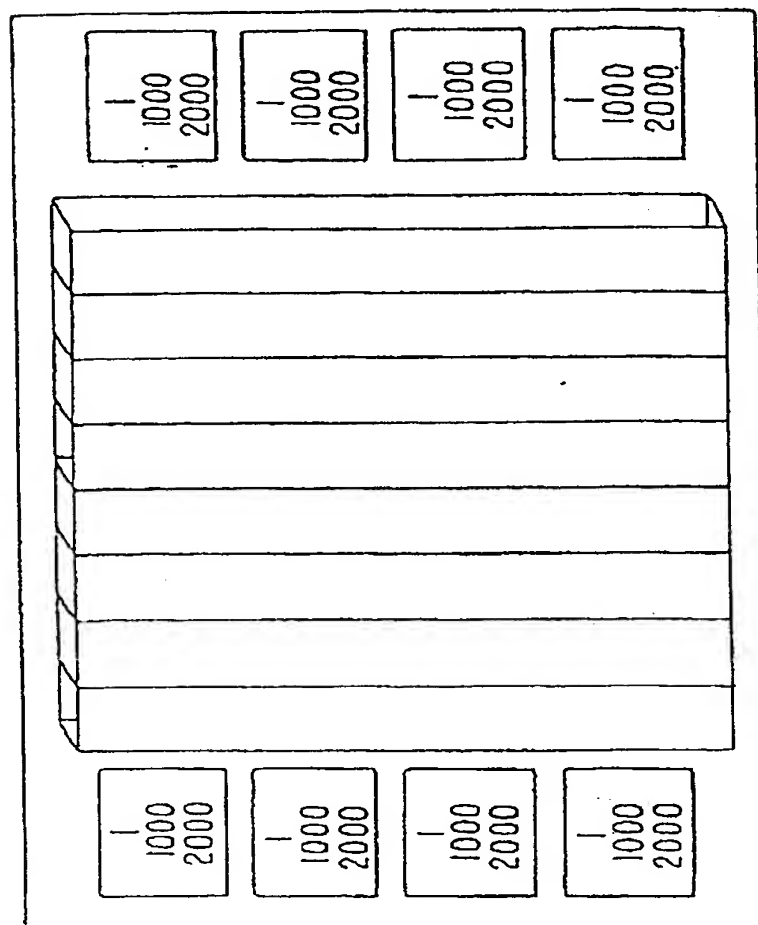


FIG. 14.

- ・ 全PCBフートプリント
125MM * 150MM
- ・ プリント回路基板の各サイドには
以下のものが含まれている
 - (8) エンボディメント
 - (8) 各々 16M x 72ビットまでの
同期式 DRAMモジュール (168ピン)
 - 各エンボディメントは 144メガバイトの
RAMを有している
 - プログラムROM及び他のサード回路は
ここに図示していない

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US97/23849

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) :G06F 15/16, 15/163, 15/167, 15/17 US CL :Please See Extra Sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 395/800.1, 800.11, 800.16, 800.17, 800.32, 800.33, 800.34, 800.35, 800.36, 800.38, 825, 290; 364/131; 345/519 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS, IEEE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X — Y	HIRONORI YAMAUCHI, Architecture and Implementation of a Highly Parallel Single-Chip Video DSP, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 2, No. 2, June 1992, pages 209-210, 213-216.	1-2 — 3-4
Y	US 5,293,586 A (YAMAZAKI ET AL) 08 March 1994, Figs 1, 12B.	1-2
Y, P	US 5,630,153 A (INTRATER ET AL) 13 May 1997, Figs. 2-3.	1-4
Y	US 4,860,191 A (NOMURA ET AL) 22 August 1989, Figs 4-5.	1-4
Y	US 4,594,651 A (JASWA ET AL) 10 June 1986, Figs 1-2.	1-4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: — "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 31 MARCH 1998		Date of mailing of the international search report 07 MAY 1998
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer MENG-AI AN Telephone No. (703) 305-9678

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US97/23149

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 4,799,144A (PARRUCK ET AL) 17 January 1989, Fig. 1.	1-4
Y	OHAD FALIK, NSC's Digital Answering Machines Solution, IEEE International Conference on Computer Design, October 1992, Fig. 5.	1-2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US97/23849

A. CLASSIFICATION OF SUBJECT MATTER:
US CL :

395/800.1, 800.11, 800.16, 800.17, 800.32, 800.33, 800.34, 800.35, 800.36, 800.38, 825, 290; 364/131; 345/519